

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-056726

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

G09G 3/20  
H04N 5/66  
// G06T 5/00

(21)Application number : 10-221999

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.08.1998

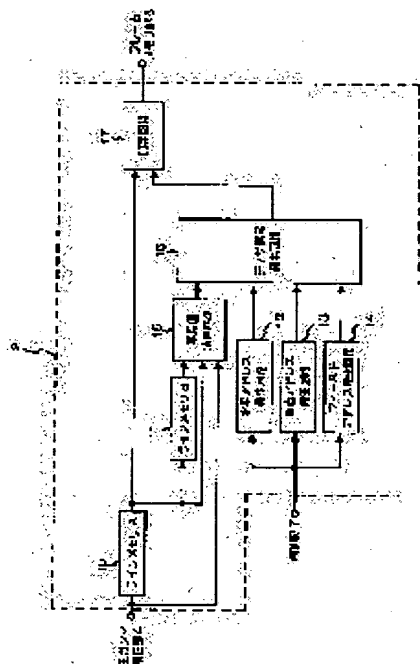
(72)Inventor : SUZUKI SADAHITO  
MINAMI KOJI

## (54) DISPLAY DEVICE AND MULTI-GRADATION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a multi-gradation circuit for performing excellent gradation expression in a display device by providing a means or the like for arithmetically calculating a specified average value or a total sum by using high-order 1 bit or more out of low-order (n) bits in the digital video signal of m+n bits concerning plural pixels.

**SOLUTION:** This multi-gradation circuit divides an area to one or more partial areas. An average value arithmetic circuit 15 obtains the specified average value or the total sum by using at least the high-order 1 bit or more out of the low-order (n) bits concerning the digital video signal of m+n bits concerning plural pixels in the partial area including the pixel specified by a spatial coordinate specifying means and a temporal coordinate specifying means. A dither signal generation circuit 16 gives a dither signal in such a way that an average level in the partial area of the digital video signal before conversion and that of the digital video signal after conversion are nearly equal in terms of m+n bits.



## LEGAL STATUS

[Date of request for examination]

21.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号  
特開2000-56726  
(P2000-56726A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 G 5 B 0 5 7
			6 4 1 E 5 C 0 5 8
H 0 4 N 5/66		H 0 4 N 5/66	A 5 C 0 8 0
// G 0 6 T 5/00		G 0 6 F 15/68	3 2 0 A

審査請求 未請求 請求項の数9 O.L (全 28 頁)

(21)出願番号	特願平10-221999	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年8月5日(1998.8.5)	(72)発明者	鈴木 禎人 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72)発明者	南 浩次 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	100102439 弁理士 宮田 金雄 (外2名)

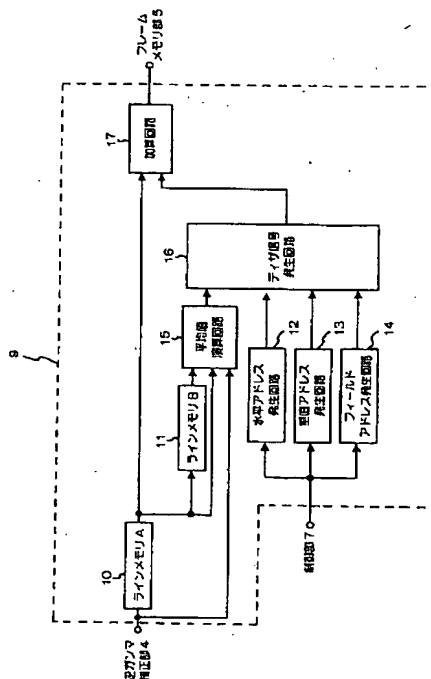
[最終頁に続く](#)

(54) 【発明の名称】 ディスプレイ装置及びその多階調化回路

(57) 【要約】

【課題】 優れた階調表現を行うための多階調化回路、及び当該多階調化回路を備えたディスプレイ装置を提供する。

【解決手段】 ディスプレイ画面上を複数の領域に分割し、この領域内における画素の相対的な空間座標及び時間座標を特定する手段と、この画素を含む複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値又は総和を演算する手段と、少なくとも前記特定手段が前記画素について特定した座標、及び前記平均値演算手段の演算結果に基づいてディザ信号を与える手段と、空間座標特定手段が前記画素について特定した空間座標に存在する画素に関するデジタル映像信号に対して、ディザ信号発生手段によって与えられたディザ信号を加減算する加減算手段とを備える。



## 【特許請求の範囲】

【請求項 1】  $m+n$  ( $m, n$  は 1 以上の整数) ビットのデジタル映像信号を  $m$  ビットのデジタル映像信号に変換する処理を有するディスプレイ装置の多階調化回路において、ディスプレイ画面上を複数の領域に分割し、この領域内における画素の相対的な空間座標を特定する空間座標特定手段と、所定の周期内における前記画素の相対的な時間座標を特定する時間座標特定手段と、前記空間座標特定手段及び前記時間座標特定手段が特定する前記画素を含む複数の画素に関する  $m+n$  ビットのデジタル映像信号について、下位  $n$  ビットのうちの少なくとも上位 1 ビット以上を用いて所定の平均値又は総和を演算する平均値演算手段と、少なくとも前記空間座標特定手段が前記画素について特定した空間座標、前記時間座標特定手段が前記画素について特定した時間座標、及び前記平均値演算手段の演算結果に基づいてディザ信号を与えるディザ信号発生手段と、前記空間座標特定手段が前記画素について特定した空間座標に存在する画素に関するデジタル映像信号に対して、前記ディザ信号発生手段によって与えられたディザ信号を加減算する加減算手段とを備えたことを特徴とするディスプレイ装置の多階調化回路。

【請求項 2】 領域を 1 つ以上の部分領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む前記部分領域内の複数の画素に関する  $m+n$  ビットのデジタル映像信号について、下位  $n$  ビットのうちの少なくとも上位 1 ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、変換前のデジタル映像信号の前記部分領域内の平均レベルと、前記変換後のデジタル映像信号の前記部分領域内の平均レベルとが、 $m+n$  ビットに換算して略等しくなるようなディザ信号の与え方を有することを特徴とする請求項 1 に記載のディスプレイ装置の多階調化回路。

【請求項 3】 領域を 1 つ以上の部分領域に分割し、さらに前記部分領域を 2 つ以上の単位領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む前記単位領域内の複数の画素に関する  $m+n$  ビットのデジタル映像信号について、下位  $n$  ビットのうちの少なくとも上位 1 ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、前記平均値演算手段の演算結果が、1 つの部分領域を構成する各単位領域どうしにおいて略等しい場合には、変換前のデジタル映像信号の前記部分領域内の平均レベルと、前記変換後のデジタル映像信号の前記部分領域内の平均レベルとが、 $m+n$  ビットに換算して略等しくなるようなディザ信号の与え方を有することを特徴とする請求項 1 に記載のディスプレイ装置の多階調化回路。

【請求項 4】 領域を 1 つ以上の部分領域に分割し、さ

らに前記部分領域を 2 つ以上の単位領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む前記単位領域内の複数の画素に関する  $m+n$  ビットのデジタル映像信号について、下位  $n$  ビットのうちの少なくとも上位 1 ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、前記平均値演算手段の演算結果が、連続する  $f$  ( $f$  は 2 以上の整数) 個の時間座標にわたって、1 つの部分領域を構成する各単位領域どうしにおいて略等しい場合には、変換前のデジタル映像信号の、前記部分領域内の前記連続する  $f$  個の時間座標にわたる平均レベルと、前記変換後のデジタル映像信号の、前記部分領域内の前記連続する  $f$  個の時間座標にわたる平均レベルとが、 $m+n$  ビットに換算して略等しくなるようなディザ信号の与え方を有することを特徴とする請求項 1 に記載のディスプレイ装置の多階調化回路。

【請求項 5】 空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、平均値演算手段の演算結果、及び外部より入力されたディザパターン選択信号に基づいてディザ信号を与えるディザ信号発生手段を備え、前記ディザ信号発生手段は、前記空間座標特定手段が特定した空間座標、前記時間座標特定手段が特定した時間座標、及び前記平均値演算手段の演算結果が同じであるときでも異なる複数のディザ信号の与え方を有する場合には、前記ディザパターン選択信号により、前記異なる複数のディザ信号の与え方の中から 1 つの与え方を選択することを特徴とする請求項 1 に記載のディスプレイ装置の多階調化回路。

【請求項 6】 デジタル映像信号を 1 つ以上の閾値と比較する比較手段と、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、平均値演算手段の演算結果、及び前記比較手段の比較結果に基づいてディザ信号を与えるディザ信号発生手段を備え、前記ディザ信号発生手段は、前記空間座標特定手段が特定した空間座標、前記時間座標特定手段が特定した時間座標、及び前記平均値演算手段の演算結果が同じであるときでも異なる複数のディザ信号の与え方を有する場合には、前記比較手段の比較結果により、前記異なる複数のディザ信号の与え方の中から 1 つの与え方を選択することを特徴とする請求項 1 に記載のディスプレイ装置の多階調化回路。

【請求項 7】 平均値演算手段は、空間座標特定手段が特定した空間座標に存在する画素と、この画素に関するデジタル映像信号に対して信号レベルの差異がある閾値以下であるデジタル映像信号をもつ画素とに関し、 $m+n$  ビットのデジタル映像信号の少なくとも下位  $n$  ビットの平均値又は総和を演算することを特徴とする請求項 1 に記載のディスプレイ装置の多階調化回路。

【請求項 8】 デジタル映像信号を 1 つ以上の閾値と比較する比較手段と、デジタル映像信号の下位ビット

の値を固定し、値を固定するビット長を前記比較手段の比較結果に応じて変化させるビットマスク手段を備えたことを特徴とする請求項1に記載のディスプレイ装置の多階調化回路。

【請求項9】 映像信号を $m+n$ ビットのデジタル映像信号に変換するA/D変換部と、前記 $m+n$ ビットのデジタル映像信号に対してディザ信号を加減算する請求項1から8のいずれか1項に記載のディスプレイ装置の多階調化回路と、前記ディザ信号が加算された $m+n$ ビットのデジタル映像信号の上位 $m$ ビットを表示する画素とを備えたことを特徴とするディスプレイ装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、ディザ信号処理によってディスプレイ装置の階調表現能力を高める多階調化回路、及び当該多階調化回路を備えたディスプレイ装置に関し、特に多階調化が困難なプラズマディスプレイやデジタルマイクロミラーデバイスなどに用いる多階調化回路に関する。

##### 【0002】

【従来の技術】明るさが様々に変化する画像を表示するためには、ディスプレイ装置には階調表現ができることが必要である。

【0003】プラズマディスプレイ装置では、1フィールドの期間を複数のサブフィールドに分割し、画面上の各画素が各サブフィールドにおいて発光を行うか否かを、ディスプレイ装置に入力される映像信号に応じて選択することによって階調表現を行っている。

【0004】図26に1フィールドAFを8つのサブフィールドSF0からSF7に分割して構成した表示シーケンスの例を示す。各サブフィールドSFにおける発光時間の相対比は、1:2:4:8:16:32:64:128になっており、これらの発光、非発光の組み合わせにより256(1+2+4+8+16+32+64+128)の階調を表現する能力がある。

【0005】例えば、ある画素において127(1+2+4+8+16+32+64)という階調を表現する場合には、サブフィールドSF0からSF6において発光を行い、サブフィールドSF7においては発光を行わないとする。人間の視覚は1フィールドAF内の発光の明滅には応答しないため、サブフィールドSF0からSF6までの発光が時間方向に積分され、人間の目にはあたかも127という階調が表現されているように知覚される。

【0006】このディスプレイ装置に映像信号を表示する場合には、映像信号を最終的に8ビットのデジタル信号に変換し、最下位ビットb0をサブフィールドSF0に、その1つ上位のビットb1をサブフィールドSF1に、さらにその1つ上位のビットb2をサブフィールドSF2に、以下同様にしてビットb2よりも1つ上位

のビットb3から最上位ビットb7までをそれぞれサブフィールドSF3からSF7に割り当て、1という値が設定されたビットに対応するサブフィールドにおいては発光を行うようにし、0という値が設定されたビットに対応するサブフィールドにおいては発光を行わないようにする。例えば、2進表記で(01111111)という8ビットのデジタル映像信号を表示に用いる場合は、最下位ビットb0からビットb6までに1が設定され、最上位ビットb7には0が設定されているので、サブフィールドSF0からSF6において発光が行われ、サブフィールドSF7では発光は行われないことになる。なお、図26において、AD0からAD7は各サブフィールドSF0からSF7におけるアドレス期間、CF0からCF7は同じく維持放電期間であり、詳細は後述する。

【0007】図27は従来のディスプレイ装置の階調表現方法を実現する構成例であり、1は映像信号を入力する入力端子、2は同期信号を入力する入力端子、3は入力端子1に入力された映像信号を、デジタル信号に変換するA/D変換部、4は放送局でガンマ補正された映像信号を逆変換し、放送局で撮影された明るさを後述するPDP8(以下同様にプラズマディスプレイパネルをPDPと略記する)で再現できるようにする逆ガンマ補正部、5は逆ガンマ補正部4の出力信号を2フィールド分記憶するフィールドメモリ部、6はフィールドメモリ部5及び後述する制御部7の出力信号によりPDP8を駆動する駆動部、7は同期信号を基準として、フィールドメモリ部5、及び駆動部6を制御する制御部、8はPDPである。

【0008】以下、上述のように構成されたディスプレイ装置の動作について説明する。

【0009】入力端子1より入力された映像信号は、A/D変換部3で8ビットのデジタル信号に変換され、逆ガンマ補正部4においてガンマ補正の逆関数による映像信号レベルの補正が行われる。逆ガンマ補正部4から出力される8ビットの映像信号はフィールドメモリ部5で2フィールド分記憶される。フィールドメモリ部5は1フィールド分の映像信号を記憶することができる2つのフィールドメモリを持っており、入力された映像信号は、図26に示した1フィールドAF毎に異なるフィールドメモリに対して交互に書き込まれる。

【0010】次に図26に示すサブフィールドSF0のアドレス期間AD0において、図27に示したフィールドメモリ部5から画面上のすべての画素に関して映像信号の最下位ビットのデータであるb0が読み出される。この読み出し動作は制御部7によって書き込み動作が行われていない方のフィールドメモリに対して行われるように制御される。読み出されたデータは駆動部6を通してPDP8に書き込まれる。AC型PDPの場合には、パネルにメモリ効果があるため、書き込まれたデータ

は、画面上のすべての画素に対して書き込み動作が行われる間中保持されている。図 26 に示したサブフィールド SF0 のアドレス期間 AD0 に続く維持放電期間 CF0 に、図 27 に示した制御部 7 が駆動部 6 を制御することで、1 のデータが書き込まれた画素のみ PDP8 は発光を行う。

【0011】次の図 26 に示したサブフィールド SF1 のアドレス期間 AD1 には、ビット b1 のデータが図 27 に示したフィールドメモリ部 5 から読み出され、駆動部 6 を経由して PDP8 に供給される。図 26 に示したサブフィールド SF1 の維持放電期間 CF1 には 1 のデータが書き込まれた画素が、維持放電期間 CF0 における発光時間の 2 倍の時間の発光を行う。

【0012】以下、サブフィールド SF2 から SF7 においても同様に、対応するビット b2 から b7 までの各データが各アドレス期間 AD2 から AD7 において図 27 のフィールドメモリ部 5 から読み出され、駆動部 6 を経由して PDP8 に供給され、1 のデータが書き込まれた画素は各維持放電期間 CF2 から CF7 に維持放電期間 CF0 における発光時間のそれぞれ 4 倍、8 倍、16 倍、32 倍、64 倍、128 倍の時間の発光を行う。

【0013】

【発明が解決しようとする課題】以上のような構成で階調表現を行うディスプレイ装置では、多階調化が時間的な制約により困難である。このようなディスプレイ装置で単純に多階調化を実現するにはサブフィールド数を増やせばよい。例えば図 26 に示した 1 フィールド AF を 10 個のサブフィールドに分割し、各サブフィールドの発光時間の相対比を 1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 256 : 512 とすれば 1024 の階調を表現することが可能である（前述したように 8 個のサブフィールド SF0 から SF7 を用いた場合は 256 階調）。

【0014】しかし、各サブフィールド（例えば、SF0 から SF7）には、画面上のすべての画素に関してデータを書き込むために一定のアドレス期間（例えば、AD0 から AD7）が必要であり、1 フィールド AF という制限された期間内においてより多くのサブフィールドを用いて図 27 に示した PDP8 を駆動しようとする、アドレス期間の総和はサブフィールド数に比例して長くなる分、維持放電期間の総和はより短くなるため、ディスプレイ装置の全体的な発光輝度が低下してしまう。このためディスプレイ装置の発光輝度を十分なレベルに保ちつつ、同時に階調表現能力を高めることが困難であるという問題があった。

【0015】また、このようなディスプレイ装置において例えば図 26 のような表示シーケンスで階調表現を行う場合、画素にデータをまったく書き込まない場合に表現される階調である階調 0 を除外して考えると、サブフィールド SF0 のみにデータ 1 を書き込む場合の階調 1

が最低の階調であり、このディスプレイ装置で表現可能なすべての階調は、階調 1 の整数倍の明るさとなっている。

【0016】一方で人間の視覚は暗部側で特に階調識別能力が高いため、ディスプレイ装置は特に低階調側においてより微妙な階調の差異を表現する必要がある。しかし、従来のディスプレイ装置では前述したように表現可能なすべての階調は階調 1 の整数倍であるから、明部においても暗部においても互いに隣接する階調間の明るさの差異は一定となり、明部では十分な階調表現能力があっても、暗部での階調表現能力が不十分になりやすく、結果的に階調が滑らかに変化する暗い画像を表示しようとする階調の粗い不自然な画像として知覚されてしまうという問題があった。

【0017】この発明は、ディスプレイ装置において優れた階調表現を行うための多階調化回路を提供すること、暗部側で優れた階調表現を行うための多階調化回路を提供すること、及び当該多階調化回路を備えたディスプレイ装置を提供することを目的とする。

【0018】

【課題を解決するための手段】この発明に係るディスプレイ装置の多階調化回路は、 $m+n$  ( $m, n$  は 1 以上の整数) ビットのデジタル映像信号を  $m$  ビットのデジタル映像信号に変換する処理を有するディスプレイ装置の多階調化回路において、ディスプレイ画面上を複数の領域に分割し、この領域内における画素の相対的な空間座標を特定する空間座標特定手段と、画素の、所定の周期内における相対的な時間座標を特定する時間座標特定手段と、空間座標特定手段及び時間座標特定手段が特定する画素を含む複数の画素に関する  $m+n$  ビットのデジタル映像信号について、下位  $n$  ビットのうちの少なくとも上位 1 ビット以上を用いて所定の平均値又は総和を演算する平均値演算手段と、少なくとも空間座標特定手段が画素について特定した空間座標、時間座標特定手段が画素について特定した時間座標、及び平均値演算手段の演算結果に基づいてディザ信号を与えるディザ信号発生手段と、空間座標特定手段が画素について特定した空間座標に存在する画素に関するデジタル映像信号に対して、ディザ信号発生手段によって与えられたディザ信号を加減算する加減算手段とを備えたものである。

【0019】また、この発明に係るディスプレイ装置の多階調化回路は、領域を 1 つ以上の部分領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む部分領域内の複数の画素に関する  $m+n$  ビットのデジタル映像信号について、下位  $n$  ビットのうちの少なくとも上位 1 ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、変換前のデジタル映像信号の部分領域内の平均レベルと、変換後のデジタル映像信号の部分領域内の平均レベルとが、 $m+n$  ビットに換算して略等しくなるよ

うなディザ信号の与え方を有するものである。

【0020】また、この発明に係るディスプレイ装置の多階調化回路は、領域を1つ以上の部分領域に分割し、さらに部分領域を2つ以上の単位領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む単位領域内の複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、平均値演算手段の演算結果が、1つの部分領域を構成する各単位領域どうしにおいて略等しい場合には、変換前のデジタル映像信号の部分領域内の平均レベルと、変換後のデジタル映像信号の部分領域内の平均レベルとが、 $m+n$ ビットに換算して略等しくなるようなディザ信号の与え方を有するものである。

【0021】また、この発明に係るディスプレイ装置の多階調化回路は、領域を1つ以上の部分領域に分割し、さらに部分領域を2つ以上の単位領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む単位領域内の複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、平均値演算手段の演算結果が、連続する $f$  ( $f$ は2以上の整数)個の時間座標にわたって、1つの部分領域を構成する各単位領域どうしにおいて略等しい場合には、変換前のデジタル映像信号の、部分領域内の連続する $f$ 個の時間座標にわたる平均レベルと、変換後のデジタル映像信号の、部分領域内の連続する $f$ 個の時間座標にわたる平均レベルとが、 $m+n$ ビットに換算して略等しくなるようなディザ信号の与え方を有するものである。

【0022】また、この発明に係るディスプレイ装置の多階調化回路は、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、平均値演算手段の演算結果、及び外部より入力されたディザパターン選択信号に基づいてディザ信号を与えるディザ信号発生手段を備え、ディザ信号発生手段は、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、及び平均値演算手段の演算結果が同じであるときでも異なる複数のディザ信号の与え方を有する場合には、ディザパターン選択信号により、異なる複数のディザ信号の与え方の中から1つの与え方を選択するものである。

【0023】また、この発明に係るディスプレイ装置の多階調化回路は、デジタル映像信号を1つ以上の閾値と比較する比較手段と、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、平均値演算手段の演算結果、及び比較手段の比較結果に基づいてディザ信号を与えるディザ信号発生手段を備え、ディザ信号発生手段は、空間座標特定手段が特定した空間座

標、時間座標特定手段が特定した時間座標、及び平均値演算手段の演算結果が同じであるときでも異なる複数のディザ信号の与え方を有する場合には、比較手段の比較結果により、異なる複数のディザ信号の与え方の中から1つの与え方を選択するものである。

【0024】また、この発明に係るディスプレイ装置の多階調化回路は、平均値演算手段は、空間座標特定手段が特定した空間座標に存在する画素と、この画素に関するデジタル映像信号に対して信号レベルの差異がある閾値以下であるデジタル映像信号をもつ画素とに關して、 $m+n$ ビットのデジタル映像信号の下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値又は総和を演算するものである。

【0025】また、この発明に係るディスプレイ装置の多階調化回路は、デジタル映像信号を1つ以上の閾値と比較する比較手段と、デジタル映像信号の下位ビットの値を固定し、値を固定するビット長を比較手段の比較結果に応じて変化させるビットマスク手段を備えたものである。

【0026】さらにまた、この発明に係るディスプレイ装置は、映像信号を $m+n$ ビットのデジタル映像信号に変換するA/D変換部と、 $m+n$ ビットのデジタル映像信号に対してディザ信号を加減算する前述のディスプレイ装置の多階調化回路と、ディザ信号が加算された $m+n$ ビットのデジタル映像信号の上位 $m$ ビットを表示する画素とを備えたものである。

【0027】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1に関わるディスプレイ装置の全体構成を示すブロック図であり、ディスプレイ装置の多階調化を実現するものである。なお、実施の形態1であるディスプレイ装置の多階調化回路を説明するにあたり、前記図27に示すディスプレイ装置と同一構成部分には同一符号を付している。

【0028】図1において、1は映像信号を入力する入力端子、2は同期信号を入力する入力端子、3は入力端子1に入力された映像信号を、デジタル信号に変換するA/D変換部、4は放送局でガンマ補正された映像信号を逆変換し、放送局で撮影された明るさをPDP8で再現できるようにする逆ガンマ補正部、9は逆ガンマ補正部4の出力信号に対して、ディザ信号を加算する多階調化処理部、5は多階調化処理部9の出力信号を、2フィールド分記憶するフィールドメモリ部、6はフィールドメモリ部5及び後述する制御部7の出力信号によりPDP8を駆動する駆動部、7は同期信号を基準として、多階調化処理部9、フィールドメモリ部5、及び駆動部6を制御する制御部、8はPDPである。ここで逆ガンマ補正部4の出力端においては、ディスプレイで表示可能な階調数を表現するために必要なビット数よりも多いビット数を持つデジタル信号となっている。

【0029】ここでさらに、多階調化処理部9について、その構成の詳細を図2に示す。

【0030】図において、10は逆ガンマ補正部4から出力されたデジタル信号を1ライン分記憶しておくラインメモリA、11はラインメモリA10から出力されたデジタル映像信号のうちディスプレイで表示できる最も低い映像信号レベルよりも低いレベルの映像信号成分（これを以下「非表示となる映像信号成分」と呼ぶ）を1ライン分記憶しておくラインメモリB、12は制御部7から出力される制御信号により各画素の画面横方向の相対座標を特定する水平アドレス発生回路、13は制御部7から出力される制御信号により各画素の画面縦方向の相対座標を特定する垂直アドレス発生回路、14は制御部7から出力される制御信号により、時間方向の相対座標をフィールド単位で特定するフィールドアドレス発生回路である。なお、前述の「1ライン」のとり方は任意であるが、ここでは画面横方向の画素一列のことをいうものとする。

【0031】15は、逆ガンマ補正部4、ラインメモリA10から出力されたデジタル映像信号のうち非表示となる映像信号成分、及びラインメモリB11の出力に基づいて、横方向x画素（xは1以上の整数）、縦方向y画素（yは1以上の整数）にわたるx×y個の画素の非表示となる映像信号成分に適当な重み付けをした後にその平均値（これを以下「重み付け平均値」と呼ぶ）を求める平均値演算回路、16は水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14、及び平均値演算回路15の出力からディザ信号を発生するディザ信号発生回路、17はラインメモリA10から出力されるデジタル映像信号のうちディスプレイで表示できる最も低い信号レベル以上の映像信号成分（これを以下「表示可能な映像信号成分」と呼ぶ）に対して、ディザ信号発生回路16の出力であるディザ信号を加算する加算回路である。

【0032】以下、上述のように構成されたディスプレイ装置の動作について説明する。

【0033】上記のディスプレイ装置において階調表現を行うための発光シーケンスは、図26に示すように1フィールドAFをSF0からSF7までの8個のサブフィールドに分割し、各サブフィールドSF0からSF7の発光時間の相対比を順に、1:2:4:8:16:32:64:128にするものとする。これにより、このディスプレイ装置には256の階調表現能力がある。

【0034】図1に示した入力端子1より入力された映像信号は、A/D変換部3においてディスプレイで表示可能な階調数を表現するために必要なビット数である8ビットよりも多いビット数となる10ビットのデジタル映像信号に変換される。多階調化処理部9は、制御部7から出力される制御信号に基づいて逆ガンマ補正部4で逆ガンマ補正された10ビットのデジタル映像信号

に適切なディザ信号を加算し、ディスプレイで表示可能な映像信号成分である上位8ビットのみをフィールドメモリ部5に出力する。

【0035】多階調化処理部9から出力される8ビットの映像信号はフィールドメモリ部5で2フィールド分記憶される。フィールドメモリ部5は1フィールド分の映像信号を記憶することができる2つのフィールドメモリを持っており、入力された映像信号は、1フィールド毎に異なるフィールドメモリに対して交互に書き込まれる。

【0036】次に図26に示すサブフィールドSF0のアドレス期間AD0において、図1に示したフィールドメモリ部5から画面上のすべての画素に関して映像信号の最下位ビットのデータであるb0が読み出される。この読み出し動作は制御部7によって書き込み動作が行われていない方のフィールドメモリに対して行われるように制御される。読み出されたデータは駆動部6を通してPDP8に書き込まれる。AC型PDPの場合には、パネルにメモリ効果があるため、書き込まれたデータは、画面上のすべての画素に対して書き込み動作が行われる間中保持されている。図26に示したアドレス期間AD0に続く維持放電期間CF0に、図1に示した制御部7が駆動部6を制御することで、1のデータが書き込まれた画素のみPDP8は発光を行う。

【0037】次の図26のサブフィールドSF1のアドレス期間AD1には、ビットb1のデータが図1に示したフィールドメモリ部5から読み出され、駆動部6を経由してPDP8に供給される。図26のサブフィールドSF1の維持放電期間CF1には1のデータが書き込まれた画素が、維持放電期間CF0における発光時間の2倍の時間の発光を行う。

【0038】以下、サブフィールドSF2からSF7も同様に対応するビットb2からb7までの各データが各アドレス期間AD2からAD7においてフィールドメモリ部5から読み出され、駆動部6を経由してPDP8に供給され、1のデータが書き込まれた画素は維持放電期間CF2からCF7に維持放電期間CF0における発光時間のそれぞれ4倍、8倍、16倍、32倍、64倍、128倍の時間の発光を行う。

【0039】次に多階調化処理部9の動作について図2を用いながら詳細に説明する。

【0040】逆ガンマ補正部4の出力である10ビットのデジタル映像信号はまずラインメモリA10に1ライン分記憶される。また、ラインメモリA10の出力のうち非表示となる映像信号成分である下位2ビットはラインメモリB11に出力され、そこで1ライン分記憶される。また10ビットのデジタル映像信号のうち表示可能な信号成分である上位8ビットは加算回路17に出力される。

【0041】一方、水平アドレス発生回路12は制御部

7から出力される水平同期信号に基づく制御信号により、各画素の画面横方向の相対座標を特定し、垂直アドレス発生回路13は制御部7から出力される水平、垂直同期信号に基づく制御信号により、各画素の画面縦方向の相対座標を特定し、またフィールドアドレス発生回路14は制御部7から出力される垂直同期信号に基づく制御信号により、時間方向の相対座標をフィールド単位で特定する。

【0042】実施の形態1では水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14に1ビットカウンタを導入した例について説明する。これによって例えば図3に示すように、水平・垂直アドレスは、画面上に複数存在し互いに同じ画素を共有しない $2 \times 2$ 画素の各範囲内において、左上にある画素を基準としたときの相対的な空間座標を示し、フィールドアドレスは時間方向を2フィールドの周期で分割したときの周期内における相対的な時間座標を示すように設定される。図3において例えばAで示される位置・時刻においては、画素の水平・垂直・フィールドアドレスは、水平アドレスをh、垂直アドレスをv、フィールドアドレスをfとして、 $(h, v, f) = (0, 1, 0)$ と設定される。同じようにしてBで示される位置・時刻においては画素の水平・垂直・フィールドアドレスは、 $(h, v, f) = (1, 0, 1)$ と設定される。

【0043】実施の形態1では、空間座標を特定するために、ディスプレイ画面上を互いに同じ画素を共有しない $2 \times 2$ 画素の範囲に分割したが、このような空間座標を特定するために設定された複数画素で構成される範囲を以下特に「領域」と呼ぶ。ディスプレイ画面上を「領域」に分割する方法は $2 \times 2$ 画素の範囲に限るものではなく、各「領域」毎に範囲が異なるものであってもよいし、各「領域」内の画素に対する水平・垂直アドレスの割り付け方も任意のものであってもよい。なお、説明を簡単にするために、「範囲」を連続した画素（例えば、「 $2 \times 2$ 画素の範囲」は縦方向に連続した2画素及び横方向に連続した2画素からなる4画素）としているが、必ずしも連続している必要はない。

【0044】図2に示した平均値演算回路15では逆ガンマ補正部4、ラインメモリA10から出力されるデジタル映像信号のうち、非表示となる映像信号成分である下位2ビットのデジタル信号と、ラインメモリB11から出力される非表示となる映像信号成分である2ビットのデジタル信号を用いて、縦方向に3画素、横方向に3画素にわたる $3 \times 3$ 画素の範囲について重み付け平均値を計算する。

【0045】ここで、ある画素Cに関する重み付け平均値を求める場合について考える。図4は前述した $3 \times 3$ 画素の範囲内の各画素に対する重み付けの例を示す図である。図において、画素Cそのものに対する重みは4、画素Cの上下左右の画素に対する重みは2、画素Cの左

上、右上、左下及び右下の画素に対する重みは1を設定している。

【0046】また、画素Cと画素Cに隣接する8画素について非表示となる映像信号成分が例えば図5のようになっているとする。すなわち、画素Cの非表示となる映像信号成分が3であり、画素Cの左隣、右上、左下に当たる画素の非表示となる映像信号成分がそれぞれ2、1、1であり、これ以外の5つの画素に関する非表示となる映像信号成分がすべて0とすれば、画素Cに関する重み付け平均値は、画素Cに関する非表示となる映像信号成分である3を重み4で乗じ（即ち、 $3 \times 4 = 12$ ）、画素Cの左隣の画素に関する非表示となる映像信号成分である2を重み2で乗じ（即ち、 $2 \times 2 = 4$ ）、画素Cの右上、左下の画素に関する非表示となる映像信号成分である1を重み1で乗じ（即ち、 $1 \times 1 = 1$ ）、その他の非表示となる映像信号成分は0であるので、これらの総和を求めることによって得られる重み付け総和 $18 (12 + 4 + 1 + 1)$ を、重みの総和である $16 (4 + 2 + 2 + 2 + 2 + 1 + 1 + 1 + 1)$ で割った $1.125$ の小数点第1位を四捨五入した値である1となる。なお、重み付け平均値に小数点以下の端数が出た場合には、実施の形態1では小数点第1位を四捨五入することとする。また、説明の簡単化のためになるべく10進表記を用いて説明しているが、実際のハードウェアにおいては一般に、これらの演算を2進方式（即ち、デジタル方式）にて行っていることは言うまでもない。このようにして求められた重み付け平均値は図2のディジタル信号発生回路16に出力される。

【0047】実施の形態1では図2に示した平均値演算回路15において、重み付け平均値を求める演算を用いた例について示すが、これに限るものではなく、重みをすべて等しい値として平均値を求めてもよいし、重み付け総和を求めてもよい。重みをすべて等しい値として総和を求めるとしてもよい。以下、複数画素の非表示となる映像信号を重み付けして平均した値、重み付けをしないで平均した一般的な平均値、重み付けして総和した値、重み付けをしないで総和した値をそれぞれ単に「重み付け平均値」、「単純平均値」、「重み付け総和」、「総和」と称するとともに、このような演算値を総称して「平均値」と称することとする。なお、小数点以下の端数の処理についても任意のものであってもよい。

【0048】また、実施の形態1における図2の平均値演算回路15においては、図5に示したような画素Cを中心とした $3 \times 3$ 画素の範囲内について平均値を求めるようにしているが、このような平均値を求める画素の範囲については任意に設定すればよい。すなわち、平均値を求める際の範囲（例えば、図5の $3 \times 3$ 画素範囲）は、画素の空間座標を特定するために設定された範囲である「領域」（例えば、図3の $2 \times 2$ 画素範囲）とは、独立に設定し得るものである。



【0049】このようにして各画素は与えられた時間において、図2に示した水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14、及び平均値演算回路15で行われる演算によって、水平アドレス $h$ 、垂直アドレス $v$ 、フィールドアドレス $f$ 、そして平均値 $a$ の4つの情報を持つことになる。ディザ信号発生回路16は、多段の選択器によって構成され、これら4つの情報を選択信号として、例えば図6のような1ビットのディザ信号を発生する。図は例えば（水平アドレス $h$ 、垂直アドレス $v$ 、フィールドアドレス $f$ 、平均値 $a$ ）＝（0, 1, 0, 1）という空間座標、時間座標、及び平均値を持つ画素にはレベル0のディザ信号を、また（ $h, v, f, a$ ）＝（1, 0, 1, 2）という空間座標、時間座標、及び平均値を持つ画素にはレベル1のディザ信号を発生することを意味する。なお、ここでの「レベル0のディザ信号を発生する」とは、ディザ信号を発生しないこと若しくはそれに同等の状態を意味し、「レベル1のディザ信号を発生する」とは、レベル0のディザ信号より大きい信号、特にここでは表示可能な映像信号成分に換算して1の大きさのディザ信号を発生することを意味する。

【0050】図6では、画面上のどの画素においても平均値演算回路15の演算結果 $a$ が0以外の等しい値である場合には、縦方向に2画素おき、横方向に2画素おき、時間方向2フィールドおきにまったく同じディザ信号が加算されるようになっている。このように平均値演算回路15の演算結果 $a$ の各場合について設定されている1周期分のディザ信号のパターンを以下「ディザパターン」と呼ぶ。実施の形態1では横方向に2画素、縦方向に2画素、時間方向に2フィールドの周期を持つディザパターンを用いた例について説明するが、これに限るものではなく、任意の周期をもつディザパターンを採用することが可能である。また、実施の形態1では平均値演算回路15の演算結果 $a$ に対応して選択されるディザパターンの周期をすべて横方向に2画素、縦方向に2画素、時間方向に2フィールドという同じ周期を持つものとしたが、たとえば平均値が1であるときのみ横方向に4画素、縦方向に4画素、時間方向に4フィールドの周期をもつディザパターンを用いるなど、周期がディザパターンによって異なってもよい。

【0051】前述のようなディザパターンにおける空間的な周期について説明する。例えば、図6においては、水平アドレス0及び1、並びに、垂直アドレス0及び1の範囲である $2 \times 2$ 画素範囲がディザパターンの空間的な1周期である。さらに例えば、平均値演算回路15の演算結果 $a$ が3、フィールドアドレス $f$ が0の場合に対して、 $2 \times 2$ 画素範囲のディザパターンの空間的な周期が設定され、（水平アドレス $h$ 、垂直アドレス $v$ ）＝（0, 0）に対してはレベル1のディザ信号が設定され、（ $h, v$ ）＝（1, 0）に対してはレベル1が、

（ $h, v$ ）＝（0, 1）に対してはレベル0が、（ $h, v$ ）＝（1, 1）に対してはレベル1のディザ信号が設定されている。

【0052】このようなディザパターンが設定される画素の範囲（即ち、ディザパターンの空間的な周期）は、平均値を求める画素の範囲（例えば、図5の $3 \times 3$ 画素範囲）や、画素の空間座標を特定するために設定された範囲である「領域」（例えば、図3の $2 \times 2$ 画素範囲）とは、独立に設定し得るものである。

【0053】図2に示した加算回路17では、ラインメモリA10から出力される、10ビットのディジタル映像信号のうち表示可能な映像信号成分である上位8ビットに対して、ディザ信号発生回路16で発生した1ビットのディザ信号を加算する。ディザ信号は8ビットの表示可能な映像信号成分の最下位ビットに加算される。このディザ信号が加算された8ビットの映像信号をフィールドメモリ部5に出力する。例えばディザ信号発生回路16においてレベル1のディザ信号が発生し、これを2進表記で（10010011）というレベルの8ビットの映像信号に加算する場合は、加算回路17の出力は（10010100）となる。

【0054】以上のような構成で階調表現を行うディスプレイ装置では、ディスプレイ装置が本来持つ階調表現能力以上の階調を擬似的に表現することができ、階調が滑らかに変化する画像を忠実に再現することができる。これを図7乃至図9を用いて説明する。

【0055】いま、縦方向に6画素、横方向に8画素を持つPDPに、滑らかに階調が変化する画像を表示する場合について考える。図7（a）は図2に示した逆ガンマ補正部4の出力である10ビットのディジタル映像信号と画素の対応関係を示す図である。すなわち、画面左上を基準として、縦1列目、2列目は0が本来表示すべき映像信号のレベルであり、以下同様に3、4列目は1が、5、6列目は2が、7、8列目は3が本来表示すべき映像信号のレベルであるとする。また、フィールドアドレスは0であるとする。

【0056】なお図7（a）にはディスプレイ画面の外にある画素を仮想し、これらの画素に対応する映像信号も示している。図2に示した平均値演算回路15において重み付け平均値を求める際に、図7（a）の1列目、1行目、8列目、6行目にある画素については隣接する画素が8画素より少なくなるが、この場合は画面外にある仮想的な画素を用いて重み付け平均値を求める。例えば、1行1列目においては、1行1列目が0、その右隣、右下、及び下が0であるのに加え、右上、上、左上、左隣、及び左下の画素についても0という値を仮想して演算に利用する。これは水平又は垂直の有効な表示期間外にある映像信号も利用して重み付け平均値を求めることに相当する。

【0057】図7（a）のようなA/D変換された映像

信号について、図4に示した重み付けを行うと、図2の  
 平均値演算回路15で求められる重み付け平均値は図7  
 (b)のように各列にある画素同士で等しい値となり、  
 2進数の小数点第1位まで求めたとすると、その値は1  
 列目から8列目まで順に、0.0、0.0、0.5、  
 1.0、1.5、2.0、2.5、3.0となる。例え  
 ば、図7(a)において1行2列目の画素は0である。  
 右上、右隣、右下の画素は1である。その他、上、左  
 上、左隣、左下、下は0である。よって、重み付け平均  
 値は既に述べた計算によって  $((1 \times 1 + 2 \times 1 + 1 \times$   
 $1) \div 16) = 0.25$  となる。ここで0.25は2進  
 数で0.01であるから、小数点第1位まで求めて図7  
 (b)のように0.0となる。なお、ここでは平均値を  
 求める際、小数点第1位まで求めているが、さらに精度  
 をあげてもよい。また、説明の簡単化のためなるべく1  
 0進表記で説明しているが、ハードウェア的には一般  
 に、これらの演算を2進数のまま直接に計算しているこ  
 とは言うまでもない。

【0058】実施の形態1では、前述したとおり図2に  
 示した平均値演算回路15は小数点第1位を四捨五入す  
 るとしているので平均値演算回路15から出力される平  
 均値は図7(c)のようになり、1列目から8列目まで  
 順に0、0、1、1、2、2、3、3となる。

【0059】したがって実際に表示される映像信号は前  
 述した動作によって、図8(a)のようになる。また、  
 図8(a)及び後述する図8(b)では図1及び2の多  
 階調化処理部9の入出力端における映像信号を比較しや  
 すくするために、8ビットの多階調化処理部9の出力に  
 対して最下位ビットのさらに下位2ビットに0を挿入  
 し、10ビットに変換した値を示している。このような  
 方法による信号レベルの比較は多階調化処理部9の入出  
 力を入出力端におけるそれぞれの最大レベルとの比をと  
 ることによって正規化された値で比較することとほぼ等  
 しい。つまり、実施の形態1における多階調化処理部9  
 の入力値は10ビット(最大値1024)、出力は8ビッ  
 ト(最大値256)であるので、(入力値/1024)  
 と(出力値/256)とを比較していることにほぼ等し  
 い。さらに詳しくは、このような比較においては、10  
 ビットのデジタル映像信号の4と、8ビットのデジ  
 タル映像信号の1とが等しい  $(4/1024 = 1/256)$   
 ことが示される。

【0060】またディザ信号の加算法は1フィールドお  
 きに異なるので、図8(b)に、図7(a)がフィール  
 ドアドレス1であった場合における実際に表示される映  
 像信号を示す。

【0061】図6に示されるディザパターンは1フィー  
 ルドおきに異なるディザ信号を加算するようになってお  
 り、人間の視覚の時間的な積分効果によって、人間の目  
 に実際に知覚される明るさは時間に対して平均化され  
 る。例えば、図8(a)のようなフィールドアドレス0

における映像信号と、図8(b)のようなフィールドア  
 ドレス1における映像信号とが、視覚の時間的な積分効  
 果によって図9に示すように平均化される。さらに1つ  
 1つの画素は一般的に視覚的に十分小さく作られている  
 ので、人間の視覚の空間的な積分効果によってあたかも  
 2×2画素の範囲内にある各画素が、その範囲内の映像  
 信号の平均レベルで発光しているように知覚される。す  
 なわちこの場合人間の目には、本来表示すべき映像であ  
 る図7(a)とまったく同じ映像が再現されているよう  
 に知覚される。

【0062】なお厳密に述べると、実施の形態1におい  
 ては、あるフィールドアドレス0のときに仮に平均値1  
 に対するディザパターンが適用された場合であっても、  
 次のフィールドアドレス1においても当該平均値1のディ  
 ザパターンが適用されるとは限らない。画面の激しい  
 切り替わり時においては、同一の画素であってもフィー  
 ルドアドレス0と1で演算される平均値が異なり、適用  
 されるディザパターンが異ってることがあり得る。し  
 かしながら、ディザ信号の加算が効果を奏するのは階調  
 がゆるやかに変化する場合が中心であり、そのような画  
 面の激しい切り替わりによる、前述のような近接するフ  
 ィールドアドレス間における平均値の違いは問題とはな  
 らない。なお、階調が緩やかに変化する場合のみを選択  
 してディザ信号を加算するなど、ディザ信号の加算を行  
 う状況を任意に設定してもよい。

【0063】このように実施の形態1であるディスプレ  
 イ装置では、ディスプレイ装置が本来表示できる最も低  
 い映像信号成分の4分の1の映像信号成分までを擬似的  
 に再現することができるので、ディスプレイの階調表現  
 能力は擬似的には2ビット多い10ビットとなる。

【0064】これに対して、従来のディスプレイ装置で  
 は、図7(a)に示したような非表示となる映像信号成  
 分を含む表示例の場合、全画面が黒になってしまうた  
 め、正しく映像が再現されない。

【0065】実施の形態2. 図10は実施の形態2であ  
 る多階調化処理部9の詳細を示す図である。なお、実施  
 の形態2ではディスプレイ装置の全体構成とその動作は  
 実施の形態1において図1を用いて説明したものと同じ  
 であるので、これに関わる説明を省略する。さらに、実  
 施の形態2であるディスプレイ装置の多階調化回路を説  
 明するにあたり、図2に示したものと同一又は相当部分  
 には同一符号を付し、説明を省略する。

【0066】実施の形態2では、図10に示すようにセ  
 レクタ18を設け、逆ガンマ補正部4、ラインメモリA  
 10、ラインメモリB11、水平アドレス発生回路1  
 2、垂直アドレス発生回路13の出力に基づいて、後述  
 するような特定の2×2画素に関する非表示となる映像  
 信号成分を選択し、平均値演算回路19に出力する。

【0067】また、実施の形態2では、平均値演算回路  
 19は複数画素で構成される範囲に関する「重み付け平

均値」ではなく、一般的な平均値である「単純平均値」を演算する。

【0068】次に、図10に示した多階調化処理部9の動作について説明する。

【0069】逆ガンマ補正部4から出力された10ビットのデジタル映像信号はまずラインメモリA10に送られ、そこで1ライン分記憶される。次にラインメモリB11は、ラインメモリA10の出力のうち非表示となる映像信号成分である下位2ビットについて、やはり1ライン分記憶する。

【0070】セレクト18では逆ガンマ補正部4、ラインメモリA10、ラインメモリB11、水平アドレス発生回路12、及び垂直アドレス発生回路13の出力に基づいて、特定の $2 \times 2$ 画素に関する非表示となる映像信号成分を選択し、平均値演算回路19に出力する。すなわち、ある画素Dが与えられたとき、画素Dの水平アドレスhと垂直アドレスvの組み合わせにより、図11

(a)のように平均値演算回路19に出力する $2 \times 2$ 画素を変える操作を行う。例えば画素Dの水平・垂直アドレスが $(h, v) = (0, 0)$ であれば、図10に示した平均値演算回路19に出力されるのは画素D40と、画素D40のそれぞれ右隣の画素41、1ライン下の画素42、右下の画素43の合計4つの画素に関する非表示となる映像信号成分である。同様に、画素Dの水平・垂直アドレスが $(h, v) = (1, 0)$ 、 $(0, 1)$ 及び $(1, 1)$ のときも、画素40乃至画素43の4画素が図10に示した平均値演算回路19に出力される。

【0071】平均値を演算する前に図10のセレクト18でこのような操作を行うことにより、後述するように、画面上のすべての画素は、平均値を求める単位であり、画面上に複数個存在する $2 \times 2$ 画素の範囲のいずれか1つに含まれることになる。これによって後述するように $2 \times 2$ 画素の各範囲内の映像信号の平均レベルを多階調化処理部9の入出力端でほぼ等しくすることができ、映像をより忠実に再現することが可能となる。

【0072】さらに平均値演算回路19では、セレクト18から出力された2ビットの非表示となる映像信号成分の縦方向に2画素、横方向に2画素にわたる $2 \times 2$ 画素の範囲について平均値を計算する。

【0073】いま、ディザ信号発生部16では図6で示したものと同一ディザパターンを発生するものとする。

【0074】図6に示すように、フィールドアドレスが0である場合でも1である場合でも、すべての $2 \times 2$ 画素の範囲について、図10のディザ信号発生回路16におけるディザパターンは平均値演算回路19から出力された平均値aと等価なディザ信号を出力するように構成されている。すなわち、平均値演算回路19から出力される $2 \times 2$ 画素範囲における平均値aと、その $2 \times 2$ 画素範囲に加算されるディザ信号の総和を範囲内の画素数である4で割った値とが、互いに等しくなっている。例

えばフィールドアドレスfが0であり、平均値aが1である場合には、 $2 \times 2$ 画素の範囲内にある画素のうち水平アドレスh、垂直アドレスvが $(h, v) = (0, 0)$ である画素にのみレベル1のディザ信号が加算される。このディザ信号は多階調化処理部9の入力である10ビットのデジタル映像信号の下位3ビット目の位置に加算されるので、 $2 \times 2$ 画素の範囲に加算されるディザ信号のレベルの総和は10ビット換算で4に相当し、それを範囲内の画素数4で割った値は1となって平均値と等しい。なお、ここでは、平均値を求める範囲と、ディザ信号が加算される範囲とを、同一の $2 \times 2$ 画素の範囲としたが、異なる画素範囲であってもよく、それぞれ独立に設定しうるものである。

【0075】また、実施の形態2では、前述したような図10のセレクト18における操作によって、平均値演算回路19では、互いに同じ画素を共有しない $2 \times 2$ 画素の単位に分割されたディスプレイ画面上の各範囲についての平均値を求めることになるため、各 $2 \times 2$ 画素の範囲内にある4つの画素に関する平均値はすべて等しくなる。

【0076】したがって、いかなる映像信号が逆ガンマ補正部4から出力されたとしても、平均値を求めるときに発生する誤差以外に、多階調化処理部9の入出力端で $2 \times 2$ 画素の範囲内の映像信号の平均レベルを変化させる要因は原理的には存在しない。

【0077】次に「部分領域」を定義する。実施の形態2では、非表示成分となる映像信号成分が2ビットである。即ち、図6に示したように、平均値演算回路19が四捨五入等の処理を行って演算する平均値aは、0、1、2、3のいずれかとなる。レベル0のディザ信号の場合には、ディザ信号発生回路16はディザ信号を発生しない、又はそれに同等であるので、ディザ信号発生回路16がディザ信号が発生する際の最小の平均値aは1である。これはディスプレイ装置が本来持つ階調表現能力である階調1の $1/4$ に相当する。実施の形態2においてはディスプレイ装置が本来持つ階調表現能力よりも2ビット多い階調を擬似的に表現する（即ち、 $1/4$ 階調までを擬似的に表現する）ために、「 $2 \times 2$ 画素範囲中の4画素のうち、1画素にはディザ信号1を加算し、残りの3画素にはディザ信号を加算しない」とした例である。以下、このような擬似的階調表現をするための最小の単位となる範囲を、特に「部分領域」と呼ぶ。

【0078】実施の形態2では、ディスプレイ装置が本来持つ階調表現能力である階調1の $1/4$ 階調を表現するために、 $2 \times 2$ 画素範囲の4画素を一つのまとまりとして扱い、その4画素の範囲において、「一定の時間」、同一のディザパターンが適用される場合（即ち、演算される平均値aが一定の時間等しい場合）、当該範囲における非表示となる映像信号成分の平均値（この例では平均値a=1）と当該範囲の画素の上位8ビットに対して

加算されるディザ信号の平均値とが、10ビットに換算したときに略等しくなるようにディザパターンが設定されている。この例では10ビット換算の平均値aが1であり、当該範囲に加減算されたディザ信号の10ビット換算の平均値が $4/4$ 画素=1で等しい。なお、上述のような所定の範囲におけるディザ信号の平均値を、以下特に「平均レベル」と称する。

【0079】すなわち実施の形態2は、擬似的階調表現をするための最小の単位となる範囲である「部分領域」において、「一定の時間」同一のディザパターンが適用される場合に、当該範囲における非表示となる映像信号成分の平均値と当該範囲の画素に対して加算されるディザ信号の平均レベルとが、同一のビット数に換算したときに略等しくなるようにしたものであり、特にここでは前述の「一定の時間」を1フィールドとし、「部分領域」である $2 \times 2$ 画素の範囲に関して平均値を求めている。

【0080】実施の形態2では特に「部分領域」を実施の形態1で定義された「画素の空間座標を特定する」ための「領域」と同じ $2 \times 2$ 画素の範囲としているが、必ずしも同じ範囲とする必要はない。また、実施の形態2では図6に示したディザパターンの空間的な周期を「部分領域」と同じ $2 \times 2$ 画素の範囲としているが、必ずしも同じ範囲とする必要はなく、複数の「部分領域」からなるディザパターンを設定してもよい（例えば、 $2 \times 2$ 画素範囲の「部分領域」4つからなる $4 \times 4$ 画素範囲の空間的周期をもつディザパターンを設定してもよい）。

【0081】さらに例えば、いま、図11(b)に示すような $2 \times 2$ 画素の範囲があるとすると。左上画素、右上画素、左下画素、及び右下画素の非表示となる映像信号成分である下位2ビットがそれぞれ2、1、1、3である。また、（水平アドレスh、垂直アドレスv、フィールドアドレスf）は、左上画素が（0、0、1）、右上画素が（1、0、1）、左下画素が（0、1、1）、右下画素が（1、1、1）である。なお、表示可能な映像信号成分である上位8ビットはすべて0であるとする。

【0082】図10に示した水平アドレス発生回路12及び垂直アドレス発生回路13が図11(b)の左上画素（0、0、1）を選択している場合には、セクタ18は図11(b)の左上画素2、右上画素1、左下画素1、右下画素3を選択する。図10の平均値演算回路19は、この平均値 $((2+1+1+3)/4)$ を演算するとともに、それを四捨五入した2をディザ信号発生回路16に出力する。平均値2が入力されたディザ信号発生回路16は、図6に示したディザパターンに基づき（水平アドレスh、垂直アドレスv、フィールドアドレスf、平均値演算回路演算結果a）=（0、0、1、2）よりレベル0のディザ信号を発生する。

【0083】次に図11(b)の右上画素（1、0、1）について考えると、図11(a)に示したような画

素の選択方法によって、前述したような左上画素（0、0、1）が選択されている場合と全く同様に、図11(b)の左上画素2、右上画素1、左下画素1、右下画素3が選択され、求められる平均値も同様の2になる。よって、図6のディザパターンに基づき（水平アドレスh、垂直アドレスv、フィールドアドレスf、平均値演算回路演算結果a）=（1、0、1、2）よりレベル1のディザ信号を発生する。同様に、左下画素（0、1、1、2）についてはレベル1のディザ信号、右下画素（1、1、1、2）についてはレベル0のディザ信号を発生する。

【0084】図11(b)に示す $2 \times 2$ 画素範囲について、1フィールド期間の非表示となる映像信号成分である下位2ビットの総和を求めると7（ $2+1+1+3$ ）であり、これは10ビットに換算しても7である。一方、当該範囲内の各画素に対して1フィールド期間に発生したディザ信号の総和は2（ $0+1+1+0$ ）、即ち、10ビットに換算すると2表記で（0000001000）となり8である。つまり、 $2 \times 2$ 画素範囲の「部分領域」内の各画素の非表示成分の総和7と、当該「部分領域」内の各画素について発生した1フィールド期間あたりのディザ信号の総和8とが10ビットに換算して略等しい。なお、同一とならないのは、図10の平均値演算回路19が平均値を計算する際に四捨五入等の処理を行うためである。

【0085】以上のような、実施の形態2における階調表現方法によって滑らかに階調が変化する画像を正しく再現できることは、前記図7(a)のような映像を表示した場合を考えれば明らかである。この場合前述した動作により、実施の形態1とまったく同じ結果が得られる。

【0086】実施の形態3. 実施の形態3はディザ信号発生回路16の構成・動作が実施の形態2と異なる場合についての例である。

【0087】図12は実施の形態3であるディザ信号発生回路16の詳細を示す図である。ディザ信号発生回路16以外の構成は実施の形態2と同様であるので、説明を省略する。

【0088】図12のディザ信号発生回路16は図10に示した平均値演算回路19の出力である平均値aに、水平アドレス発生回路12の出力である水平アドレスh、垂直アドレス発生回路13の出力である垂直アドレスv、フィールドアドレス発生回路14の出力であるフィールドアドレスfによって異なるパターンを加算することで、ディザ信号を発生する。図12において20は空間座標と時間座標から所定の2ビットの信号パターンを発生するパターン発生器、21は平均値演算回路19の出力である平均値aにパターン発生器20で発生した信号を加算する加算器である。加算器21の出力は3ビット（即ち、0から6）であるが、このうち下位2ビッ

トを切り捨て、上位1ビットのみをディザ信号として加算回路17に出力する。

【0089】次に、ディザ信号発生回路16を構成する各部の動作について説明する。

【0090】図13は図12に示したパターン発生器20で発生する信号パターンの例である。すなわち、水平アドレスh、垂直アドレスv、フィールドアドレスfの組み合わせが、例えば $(h, v, f) = (0, 0, 0)$ という空間座標と時間座標を持つ画素にはレベル3の信号を発生し、 $(h, v, f) = (1, 0, 1)$ という空間座標と時間座標を持つ画素にはレベル2の信号を発生する。

【0091】一方、図12の加算器21では、平均値演算回路19で求めた平均値aと、パターン発生器20で発生した信号とを加算し、演算結果の上位1ビットのみを加算回路17に出力する。例えば、平均値aが2である画素に対してパターン発生器20にてレベル3の信号が発生した場合にはディザ信号は2に3加算した5、すなわち2進表記で(101)の上位1ビットである1を出力する。

【0092】このような操作によって発生するディザ信号は、実施の形態2で発生するディザ信号とまったく同じである。したがって実施の形態3では実施の形態2とまったく同様の効果が得られる。

【0093】実施の形態3では平均値と信号パターンとを加算する加算器21を設けたが、これに限らず例えば加算器の代わりに平均値と信号パターンとを比較する比較器を設け、平均値がパターン発生器20で発生した信号以上のレベルを持つときのみレベル1のディザ信号を出力し、それ以外のときはレベル0のディザ信号を発生するとしても同様の効果が得られる。

【0094】実施の形態4。図14は実施の形態4である多階調化処理部9の詳細を示す図である。なお、実施の形態4ではディスプレイ装置の全体構成とその動作は実施の形態1において図1を用いて説明したものと同一であるので、これに関わる説明を省略する。さらに、実施の形態4であるディスプレイ装置の多階調化回路を説明するにあたり、図2に示したものと同一又は相当部分には同一符号を付し、説明を省略する。

【0095】実施の形態4ではラインメモリの代わりに1画素分の情報を記憶するレジスタを2つ用いる。すなわち図14に示したレジスタA22と、レジスタB23を用いる。またセレクト24は逆ガンマ補正部4、レジスタA22、レジスタB23、水平アドレス発生回路12の出力に基づいて、後述するような特定の $2 \times 1$ 画素に関する非表示となる映像信号成分を選択し、平均値演算回路19に出力する。

【0096】逆ガンマ補正部4の出力である10ビットのディジタル映像信号はまずレジスタA22に送られ、そこで1画素分記憶される。

【0097】また、レジスタB23はレジスタA22の出力のうち非表示となる映像信号成分である下位2ビットについてやはり1画素分記憶する。レジスタA22、レジスタB23により、ある画素Eが与えられたとき、画素Eとその左右2画素の合計3画素について非表示となる映像信号成分を一度に知ることができる。

【0098】セレクト24では逆ガンマ補正部4、レジスタA22、レジスタB23、及び水平アドレス発生回路12の出力に基づいて、特定の $2 \times 1$ 画素に関する非表示となる映像信号成分を選択し、平均値演算回路19に出力する。すなわち画素Eの水平アドレスが0であれば、画素Eと画素Eの右隣にある画素についての平均値を取り、画素Eの水平アドレスが1であれば、画素Eと画素Eの左隣にある画素についての平均値をとるようにする。例えば、画素Eの水平アドレスが1であり、画素Eの非表示となる映像信号成分が2進表記で(10)であり、その左隣の画素の非表示となる映像信号成分が2進表記で(00)であれば、画素Eとその左隣にある画素に関する平均値は10進数で1となる。これにより、画面上のすべての画素は、画面上に複数個存在する平均値を求める単位である $2 \times 1$ 画素の範囲のいずれか1つに含まれることになる。以下、平均値を求めるために設定した範囲同士が互いに同じ画素を共有しないときに、この各範囲を「単位領域」と呼ぶ。

【0099】これ以外の部分の動作については実施の形態1と同じである。

【0100】ディザ信号発生回路16では図6に示したディザパターンを発生するが、実施の形態2で前述したとおり、図6に示すディザパターンではいずれも $2 \times 2$ 画素の範囲が実施の形態2で定義した「部分領域」となる。したがって、 $2 \times 1$ 画素に関する平均値によってディザ信号発生回路16を動作させる場合は、「部分領域」内に加算されるディザ信号は実施の形態2と必ずしも一致しない。

【0101】例えば、フィールドアドレスが0の時刻においてある $2 \times 2$ 画素の範囲内の左上、右上、左下、右下の画素に関する非表示となる映像信号成分がそれぞれ3、3、1、1であり、左上の画素の水平アドレスhと垂直アドレスvが $(h, v) = (0, 0)$ であるとすると、このとき実施の形態4では、図6で示されるディザパターンに基づいて、左上と右上の画素の2つの画素にディザ信号が加算される。実施の形態2では、 $2 \times 2$ 画素の範囲内に関する平均値である2を求め、この場合には左上と右下の画素にディザ信号が加算されるので、実施の形態2と実施の形態4は必ずしも結果は一致しない。

【0102】しかし、表示すべき映像が前記図7(a)のように、1つの「部分領域」を構成する各「単位領域」において平均値が等しい場合には、実施の形態2とまったく同じ結果が得られる。すなわちラインメモリを

2個省略することによって回路を簡略化し、平均値を求める範囲を、「部分領域」よりも小さくしたとしても、滑らかに階調が変化する画像を忠実に再現することが可能であり、実施の形態2と同様な効果を得ることができる。

【0103】以上のような実施の形態4においては、平均値を求める範囲は2×1画素範囲の「単位領域」であり、「部分領域」は2つの「単位領域」を含む2×2画素範囲である。そして、2つの「単位領域」の非表示成分の平均値が等しいとき、当該「単位領域」における非表示となる映像信号成分の平均値と、当該「部分領域」において加算されるディザ信号の平均レベルとが10ビットに換算して略等しくなるようにディザパターンが構成されており、これによって画像を忠実に再現することが可能である。

【0104】実施の形態5。実施の形態5ではディスプレイ装置が本来持つ階調表現能力よりも4ビット多い階調を擬似的に表現する例について考える。実施の形態5であるディスプレイ装置の構成は、実施の形態2である図1、図10に示したものと同様の構成をとるので図示

【0105】図10において逆ガンマ補正部4からは12ビットのデジタル映像信号が出力されるものとし、逆ガンマ補正部4から出力された12ビットのデジタル映像信号はまずラインメモリA10に送られ、そこで1ライン分記憶される。

【0106】次にラインメモリB11は、ラインメモリA10の出力のうち非表示となる映像信号成分である下位4ビットについて、やはり1ライン分記憶する。

【0107】また水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14にはそれぞれ2ビットカウンタを用い、2ビットの水平アドレス、垂直アドレス、フィールドアドレスを出力する。

【0108】セクタ18は実施の形態2で行ったものと同様の操作を水平アドレス発生回路12、垂直アドレス発生回路13のそれぞれ下位1ビットだけを参照して行う。セクタ18の出力は2×2画素の範囲内の4つの画素に関する非表示となる映像信号成分である4ビットのデジタル信号である。

【0109】さらに平均値演算回路19では、セクタ18から出力された4ビットの非表示となる映像信号成分を縦方向に2画素、横方向に2画素にわたる2×2画素の範囲について平均値を計算する。すなわち、実施の形態5では「単位領域」は2×2画素の範囲となる。

【0110】ディザ信号発生回路16では、水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14から出力される2ビットの水平アドレスh、垂直アドレスv、フィールドアドレスf

と、平均値演算回路19から出力される4ビットの平均値aに基づいて、図15に示すようなディザパターンが発生する。図では煩雑を避けるために平均値aが1の場合についてのみ示している。これ以外の、平均値aが0, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15となる場合に発生するディザパターンについては図示することを省略するが、これらは任意のものであってよい。例えば平均値aが4, 8, 12となるときは図6で示した平均値aがそれぞれ1, 2, 3となるときに選択されるものとまったく同じディザパターンが発生するとしてもよい。この場合平均値aが4, 8, 12であるときには水平アドレスh、垂直アドレスv、フィールドアドレスfのそれぞれ下位1ビットのみを参照してディザ信号が発生することになる。なお、図15に示した平均値aが1の場合には、2ビットすべてを用いる。

【0111】図10に示した加算回路17では、逆ガンマ補正部4から出力された12ビットのデジタル映像信号のうち表示可能な映像信号成分である上位8ビットに対して、ディザ信号発生回路16で発生したディザ信号を加算する。ディザ信号は8ビットの表示可能な映像信号成分の最下位ビットに加算される。

【0112】平均値演算回路19から出力される平均値aが1のときにディザ信号発生回路16で発生するディザパターンは、図15を見れば分かるように、4×4画素の範囲内に2フィールドの期間このディザパターンが適用された場合にのみ、平均値と加算するディザ信号の平均レベルが一致するように構成されている。すなわち4×4画素の範囲内に加算されるディザ信号の平均レベルは、フィールドアドレスが0と2の時刻では12ビット換算で2となり、フィールドアドレスが1と3の時刻では12ビット換算で0となっておりどちらも平均値1と等しくならないが、フィールドアドレス0と1またはフィールドアドレス2と3の2フィールドの期間にわたる4×4画素の範囲内に加算されるディザ信号の平均レベルは1となって平均値と等しくなる。

【0113】実施の形態5は4×4画素が「部分領域」となり、1つの「部分領域」が4つの「単位領域」から構成され、2フィールドの期間で「部分領域」内の平均値とディザ信号の平均レベルが等しくなる場合についての例である。さらに述べると、実施の形態5においてはディスプレイ装置が本来持つ階調表現能力よりも4ビット多い階調を擬似的に表現する（即ち、1/16階調までを擬似的に表現する）ために、例えば「16画素のうち、1画素にはディザ信号1を加算し、残りの15画素にはディザ信号を加算しない」というようにする例であり、特に、そのようなディザ信号の加算を、視覚的空間的、時間的な積分効果が働きやすいようなディザパターンを用いて行うものである。

【0114】図10に示したディザ信号発生回路16で

発生するディザパターンは、図16のように各フィールド内で平均値とディザ信号の平均レベルとが等しくなるように構成してもよいが、この場合には $4 \times 4$ 画素という比較的広い範囲において1つしかないディザ信号の加算位置がフィールド毎に移動するので、特に画素を視覚的に小さく作ることが比較的困難なPDPなどでは、視覚の空間的な積分効果が働きにくく、ディザ信号の加算位置がフィールド毎に移動しているのがそのまま知覚され、映像の再現性が劣化する。

【0115】これに対して図10に示したディザ信号発生回路16において発生するディザパターンを図15のように構成すると、 $4 \times 4$ 画素の範囲内の2画素について1度にディザ信号が加算されるため、図16のディザパターンを用いた場合に比べ視覚の空間的な積分効果が働きやすい。

【0116】ここで、図15では $4 \times 4$ 画素の範囲内に加算されるディザ信号の平均レベルは、フィールド毎に2と0という異なる値を取るため、視覚の時間的な積分効果は働きにくくなり、特に静止画を表示するときなどはフィールド毎に異なる明るさがフリッカとして知覚されやすいが、図10に示した平均値演算回路19から出力される平均値が1のときにはディザ信号の加算によって再現すべき非表示となる映像信号成分のレベルは、ディスプレイで表示可能な最低の信号レベルの16分の1と小さいため、フリッカの程度は十分低く映像の再現性は図16を用いた場合に比べて優れている。

【0117】実施の形態5では2フィールドで「部分領域」内の平均値とディザ信号の平均レベルが等しくなるようなディザパターンを構成したが、これに限らず $f$ フィールド( $f$ は2以上の整数)で平均値とディザ信号の平均レベルが等しくなるようなディザパターンを構成するとしてもよい。

【0118】以上のように実施の形態5においては、平均値を求める範囲は $2 \times 2$ 画素範囲の「単位領域」であり、「部分領域」は4つの「単位領域」を含む $4 \times 4$ 画素範囲である。そして、2フィールドにわたって、この「部分領域」を構成する各「単位領域」における非表示となる映像信号成分の平均値がそれぞれ略等しいとき(この例では、のべ8個の「単位領域」の平均値が略等しいとき)、当該「部分領域」内において、ディザ信号加算前の非表示となる映像信号成分の平均値と、加算されるディザ信号の平均レベルとが12ビットに換算して略等しくなるようにディザパターンが構成されており、これによって画像を忠実に再現することが可能である。

【0119】実施の形態6、図17は実施の形態6である多階調化処理部9の詳細を示す図である。なお、実施の形態6ではディスプレイ装置の全体構成とその動作は実施の形態1において図1を用いて説明したものと同一であるので、これに関わる説明を省略する。さらに、実施の形態6であるディスプレイ装置の多階調化回路を説

明するにあたり、図2に示したものと同一又は相当部分には同一符号を付し、説明を省略する。

【0120】図17において、25は水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14、及び平均値演算回路19の各出力、並びに外部から入力されるディザパターン選択信号44に基づいて、後述するように発生すべきディザパターンを選択するディザ信号発生回路である。

【0121】ディザ信号発生回路25は、平均値演算回路19から出力される平均値 $a$ が1である場合には、図18に示すディザパターンAとディザパターンBの2通りのディザパターンを発生する。この2つのディザパターンの選択は図17のディザパターン選択信号44によって行う。平均値が0、2、3となる場合に発生するディザパターンについては図示することを省略するが、これらは任意のものであってよい。ディザパターンBは4フィールドの周期を持っているのでフィールドアドレス発生回路14には2ビットカウンタを用い、ディザパターンAを用いるときにはフィールドアドレスの下位1ビットのみを参照するものとする。

【0122】これ以外は実施の形態2と同じである。

【0123】ディザパターン選択信号は、表示すべき映像が静止画であるときにはディザパターンAを選択し、反対に動画を表示するときにはディザパターンBを選択するようにディザ信号発生回路25に要求する。静止画と動画の判別法は任意であるが、例えば同期信号を拠り所として、パソコンなどの画面を表示する場合はほぼ静止画であるとし、放送局から送られてくる映像は動画であるとする判別を行ってもよいし、映像の動きを直接検出することによって判別を行い、加算すべきディザパターンを決定してもよい。

【0124】ディザパターンAは図6で説明したものと同一のディザパターンであり、このディザパターンが階調が滑らかに変化するような静止画を忠実に再現することができることはすでに実施の形態2で述べた通りである。

【0125】ここで、ディザパターンBを動画を表示するときに選択する理由を説明するにあたり、図19乃至図21を用いる。

【0126】図7(a)で用いたものと同じ縦方向に6画素、横方向に8画素を持つPDPを考え、このPDPに暗い縦帯を表示した場合について考える。すなわち、図17の逆ガンマ補正部4の出力端においては、図19に示すように10ビットのデジタル映像信号のレベルが縦1列目から4列目までは1となっており、この1というレベルの暗い縦帯が本来表示すべき映像信号であるとする。

【0127】ここでさらにこの暗い縦帯が画面の右方向に1フィールドあたり1画素の割合で画面上右方向に移動しているとする。したがって時刻0において暗い縦帯

が縦1列目から4列目まで表示されていたとすると、時刻0から4フィールド後には縦5列目から8列目に暗い縦帯が表示されることになる。

【0128】このような映像を図18に示したディザパターンAを用いて表示すると、図20(a)乃至(b)のようになる。ただし図では簡単のため暗い縦帯が表示されている部分のみを示し、図8(a)及び(b)で行ったように図17に示した多階調化処理部9の出力である表示可能な映像信号成分を10ビットに換算した値で示している。この場合、暗い縦帯の動きに完全に追従して映像を観測している人には、各フィールドで表示されているレベルは平均化され、図20(c)に示すような2本の縦線状の固定パターンとして観測される。このようにディザパターンAでは動画の場合には静止画に比べて映像の再現性が劣化する。

【0129】これに対して、図18に示したディザパターンBを用いて表示すると各時刻に表示されている映像と、4フィールド分の映像を平均化した映像は図21のようになり、暗い縦帯の動きに完全に追従して映像を観測している人にも、固定パターンは知覚されず、本来表示すべき映像が忠実に再現されるようになる。

【0130】しかし静止画を表示する際には4フィールドという比較的長い周期を持つディザパターンBでは視覚の時間的な積分効果が働きにくく、特に表示すべき映像が暗い場合などは、ディザ信号の加算位置がフィールド毎に移動しているのが知覚されやすい。

【0131】このように複数のディザパターンを用意し、表示すべき映像毎に最適なディザパターンを選択することによって、映像の再現性を高めることが可能である。

【0132】実施の形態7。図22は実施の形態7である多階調化処理部9の詳細を示す図である。なお、実施の形態7ではディスプレイ装置の全体構成とその動作は実施の形態1において図1を用いて説明したものと同一であるので、これに関わる説明を省略する。さらに、実施の形態7であるディスプレイ装置の多階調化回路を説明するにあたり、図2に示したものと同一又は相当部分には同一符号を付し、説明を省略する。

【0133】実施の形態7は実施の形態5と同様に、ディスプレイ装置が本来持つ階調表現能力よりも最大で4ビット多い階調を擬似的に表現する例について考える。以下に実施の形態5と異なる部分について説明する。

【0134】図22において、26はラインメモリA10から出力される12ビットのデジタル映像信号のレベルと後述する閾値を比較し、その比較結果をディザ信号発生回路27に出力する付加ビット数選択回路である。

【0135】ディザ信号発生回路27においては、16通りのディザパターンが用意されており、水平アドレス発生回路12、垂直アドレス発生回路13、フィールド

アドレス発生回路14、及び平均値演算回路19の出力、並びに付加ビット数選択回路26の比較結果に基づいて、ディザ信号を発生する。

【0136】次に付加ビット数選択回路26の動作について説明する。付加ビット数選択回路26ではディスプレイで表示できる最も低い映像信号成分の1倍に相当する16と、2倍に相当する32とを閾値として、逆ガンマ補正部4から出力される12ビットのデジタル映像信号が0から15の間であるときには(00)、16から31であるときは(01)、32以上の場合には(10)という2ビットのデジタル信号をそれぞれディザ信号発生回路27に出力する。

【0137】ここでディザ信号発生回路27で発生する16通りのディザパターンは、実施の形態5と同じであるとする(例えば、図15)。実施の形態7では以降の説明において混同を避けるため、実施の形態5で用いた、16通りの平均値に対応して選択されるディザパターンに0から15までの番号をつける。例えば、実施の形態5において平均値が3のときに選択されるディザパターンには3番という番号をつけ、平均値が12のときに選択されるディザパターンには12番という番号をつける。

【0138】ディザ信号発生回路27では、水平アドレス発生回路12、垂直アドレス発生回路13、フィールドアドレス発生回路14、及び平均値演算回路19の出力、並びに、付加ビット数選択回路26の比較結果に基づいてディザ信号を発生する。すなわち、付加ビット数選択回路26の出力が(00)である場合には、平均値と同じ番号を持つディザパターンを選択し、(01)である場合には、平均値が0、1であるときには0番、平均値が2、3であるときには2番、平均値が4、5であるときには4番、平均値が6、7であるときには6番、平均値が8、9であるときには8番、平均値が10、11であるときには10番、平均値が12、13であるときには12番、平均値が14、15であるときには14番のディザパターンをそれぞれ選択し、(10)である場合には平均値が0、1、2、3であるときには0番、平均値が4、5、6、7であるときには4番、平均値が8、9、10、11であるときには8番、平均値が12、13、14、15であるときには12番のディザパターンを選択する。

【0139】以上の操作により、逆ガンマ補正部4から出力される映像信号のレベルが、ディスプレイで表示できる最も低い信号レベルの1倍未満であるときには、選択可能なディザパターンは0番から15番までの各ディザパターンとなるので、このときにはディスプレイ装置が本来持つ階調表現能力よりも4ビット多い階調を擬似的に表現することが可能であり、また、映像信号のレベルがディスプレイで表示できる最も低い信号レベルの1倍以上2倍未満であるときには、選択可能なディザパ



ーンは0, 2, 4, 6, 8, 10, 12, 14の各ディザパターンとなるので、このときにはディスプレイ装置が本来持つ階調表現能力よりも3ビット多い階調を擬似的に表現することが可能であり、映像信号のレベルがディスプレイで表示できる最も低い信号レベルの2倍以上であるときには、選択可能なディザパターンは0, 4, 8, 12の各ディザパターンとなるので、このときにはディスプレイ装置が本来持つ階調表現能力よりも2ビット多い階調を擬似的に表現することが可能である。

【0140】このように擬似的な階調表現能力を映像信号のレベルに応じて変化させたことの効果について以下に述べる。

【0141】人間の視覚は暗部の階調識別能力の方が明部のそれよりも高いため、ディスプレイ装置においても暗部の階調表現能力を特に高くする必要がある。しかし、一般にディザ信号の加算によって再現すべき映像信号成分のレベルが低ければ低いほど、固定パターンやフリッカなどの弊害が少ないディザパターンを構成することは困難になる。

【0142】したがって、ディザ信号を加算することによる弊害よりもディスプレイの擬似的な階調表現能力の方が優先される暗部側では、より低い映像信号成分のレベルを再現できるようにし、ディスプレイの擬似的な階調表現能力よりもディザ信号を加算することによる弊害の方が問題となる明部側では、低い映像信号成分の再現精度を落とすことにより、全体的な画質を損なうことなく、人間の視覚特性にあった階調表現を行うことができる。

【0143】実施の形態7ではディスプレイの擬似的な階調表現能力を2つの固定値を閾値として変化させたが、閾値のレベル、個数などはこれに限らず任意の値でよい。また閾値を固定値とせず、表示する映像の全体的な明るさや時間などに基づいて動的に変化させても同様の効果が得られる。

【0144】実施の形態8. 図23は実施の形態8である多階調化処理部9の詳細を示す図である。なお、実施の形態8ではディスプレイ装置の全体構成とその動作は実施の形態1において図1を用いて説明したものと同一であるので、これに関わる説明を省略する。さらに、実施の形態8であるディスプレイ装置の多階調化回路を説明するにあたり、図2に示したものと同一又は相当部分には同一符号を付し、説明を省略する。

【0145】図23において、28はラインメモリA10から出力される10ビットの映像信号を1ライン分記憶するラインメモリB、29は逆ガンマ補正部4、ラインメモリA10、ラインメモリB28から出力される10ビットの映像信号から、水平アドレス発生回路12、垂直アドレス発生回路13の出力に基づいて、実施の形態2の図11(a)で説明したものと同様な操作によって、特定の2×2画素に関する10ビットの映像信号を

選択し、後述する信号成分抽出回路30に出力するセクタである。

【0146】図24は信号成分抽出回路30の詳細を示す図である。

【0147】図において、映像信号48は注目する画素に関する映像信号であり、映像信号45、映像信号46、映像信号47は平均値を求めるべき画素と隣接する、同じ2×2画素の範囲内に存在する3つの画素に関する映像信号である。これらの映像信号はすべてセクタ29より出力される信号である。

【0148】また32は映像信号48からそれぞれ映像信号45、映像信号46、映像信号47を減算する3個の減算器、33はある決まった閾値を発生する閾値発生回路、34は減算器32の出力の絶対値と閾値発生回路33で発生した閾値とを比較し、減算器32の出力が閾値発生回路33で発生した閾値以下のときはレベル1を、そうでないときはレベル0を出力する3個の比較器、35は映像信号45、映像信号46、映像信号47のうち非表示となる映像信号成分である2ビットの信号成分の各ビットと比較器34の出力との論理積を出力する3個のAND回路、36は比較器34の出力に基づいて、映像信号48との差が閾値発生回路33で発生した閾値以下となっている映像信号を持つ画素の数を特定する画素数取得回路である。

【0149】これより、図の信号成分49は、映像信号48と映像信号45の差の絶対値がある閾値以下のときには映像信号45の非表示となる映像信号成分である下位2ビットとなり、映像信号48と映像信号45の差の絶対値がある閾値より多いときには2ビットでレベル0の信号となる。これは信号成分50、信号成分51についても同様で、それぞれ映像信号46、映像信号47の下位2ビット、または2ビットのレベル0の信号となる。信号成分52については必ず映像信号48の非表示となる映像信号成分である下位2ビットが出力される。また図の画素数53は映像信号45、映像信号46、映像信号47がいずれも映像信号48とある閾値より大きい差をもつときには1を、いずれか1つが映像信号48と閾値以下の差であるときには2を、3つのうち2つが映像信号48と閾値以下の差であるときには3を、3つすべてが閾値以下の差であるときには4となる。これら信号成分49、信号成分50、信号成分51、信号成分52、画素数53の値はすべて平均値演算回路31に出力される。

【0150】平均値演算回路31では信号成分抽出回路30の出力である、信号成分49、信号成分50、信号成分51、信号成分52の総和を求め、それをやはり信号成分抽出回路30の出力である画素数53で除算する。

【0151】このような信号成分抽出回路30、平均値演算回路31における演算を例をあげて具体的に説明す

る。ある $2 \times 2$ 画素について、左上にある画素に関する映像信号が10ビットで0であり、右上にある画素に関する映像信号が10ビットで1であり、左下にある画素に関する映像信号が10ビットで2であり、右下にある画素に関する映像信号が10ビットで3である場合を考える。このとき閾値発生回路33には10ビットで16という値が設定されているものとする。

【0152】左上、右上、左下の画素に関する平均値はいずれも左上、右上、左下の画素に関する非表示となる映像信号成分の総和である3を画素数の3で割った1である。ここで左上、右上、左下の画素に関する平均値を求めるときに右下の画素を除外するのは左上、右上、左下の画素に関する映像信号のレベルと右下の画素に関する映像信号のレベルの差の絶対値が閾値である16よりも大きいからである。したがって同様な理由により、右下の画素に関する平均値は、右下の画素に関する非表示となる映像信号成分である0を画素数の1で割った0となる。

【0153】これ以外の部分の構成、動作については実施の形態2と同様である。

【0154】実施の形態7において、図23に示した信号成分抽出回路30、平均値演算回路31によって実現される演算により、階調がなだらかに変化している部分のみを抽出して平均値を求めることができる。このようにして求められた平均値に基づいてディザ信号を加算することにより、画像をより忠実に再現することが可能である。

【0155】このことは、例えば黒の背景に1画素の幅を持つ縦線を画面上に表示する場合について考えてみれば非常に明らかである。この場合、実施の形態2であるディスプレイ装置では、縦線に隣接する本来は黒が表示されるはずの画素にディザ信号が加算されてしまうが、実施の形態7であるディスプレイ装置では、閾値を適切に設定することによりこのようなことは起こらない。

【0156】実施の形態9。実施の形態9は図1の逆ガンマ補正部4の構成、動作が実施の形態2と異なる場合についての例である。また実施の形態9では、A/D変換部3では入力された映像信号を8ビットのディジタル映像信号に変換して出力し、逆ガンマ補正部4は10ビットのディジタル映像信号を出力するものとする。

【0157】実施の形態9では、逆ガンマ補正部4で行われる演算をROMで実現する。すなわち、逆ガンマ補正部4の入力をROMのアドレスとして、そのアドレスに書き込まれているデータを読み出すことによって逆ガンマ補正を行うものとする。

【0158】図25は実施の形態9である逆ガンマ補正部4の構成を示す図である。図において、37はA/D変換部3から出力された8ビットのディジタル信号に対してガンマ補正の逆補正を行うガンマROM、38はある1つの閾値を発生する閾値発生回路、39はガンマR

OM37の出力である8ビットのディジタル信号に対して後述するようなビットシフト演算を行うビットシフト演算回路である。ここでガンマROM37は8ビットのアドレスを持ち、各アドレスに対して8ビットのデータを読み出せるものとする。

【0159】逆ガンマ補正部4は放送局側で撮影された明るさをPDPなどのディスプレイ装置において再現するために必要な演算を行うが、一般にこの演算は、逆ガンマ補正部4の入出力のレベルをそれぞれの最大のレベルで正規化したときに、出力値が入力値の2.2乗となるようにする。例えばガンマROM37に入力される映像信号のレベルが8ビットで109であるときには、ガンマROM37の入力の最大レベルが255であるので、109を255で除算し、2.2乗した値がガンマROM37の出力をガンマROM37の出力の最大レベルで正規化した値となる。

【0160】ここで、A/D変換部3から出力される映像信号のレベルが8ビットで128未満であるときは逆ガンマ補正の本来の演算結果を2ビット左シフトした値をガンマROM37にあらかじめ書き込んでおくようにする。例えばA/D変換部3から出力される映像信号のレベルが8ビットで109であるときには、ガンマROM37の出力は10ビット精度とすると2進表記で(0001110001)という値になるが、ガンマROM37には8ビットのデータしか書き込めないので、あらかじめ2ビット左シフトしておき、10ビットのうちの上位8ビットである(01110001)という値を書き込むようにする。

【0161】一方、A/D変換部3から出力される映像信号のレベルが8ビットで128以上であるときにはガンマROM37にデータを書き込む際に前述のようなビットシフトは行わない。例えばA/D変換部3から出力される映像信号のレベルが8ビットで143であるときには、143を255で除算し、2.2乗した値に8ビットのディジタル信号の最大レベルである255を乗算した値である、2進表記で(01000111)という値を書き込むようにする。

【0162】次に、ビットシフト演算回路39の動作について説明する。ビットシフト演算回路39では、A/D変換部3から出力される8ビットのディジタル映像信号のレベルが128未満であるときには、ガンマROM37から出力される8ビットのディジタル映像信号の最上位ビットのさらに上に2ビットを付加し、付加した2つのビットに0を設定したのち10ビットのディジタル映像信号として出力する。また、A/D変換部3から出力される8ビットのディジタル映像信号のレベルが128以上であるときには、ガンマROM37から出力される8ビットのディジタル映像信号の最下位ビットの下に2ビットを付加し、付加した2つのビットに0を設定したのち出力する。

【0163】例えば、A/D変換部3から出力される映像信号のレベルが8ビットで109であり、ガンマROM37の出力が2進表記で(01110001)という値であるときには、ビットシフト演算回路39は(0001110001)という10ビットの信号を出力し、また例えば、A/D変換部3から出力される映像信号のレベルが8ビットで143であり、ガンマROM37の出力が2進表記で(01000111)という値であるときには、ビットシフト演算回路39は(0100011100)という10ビットの信号を出力する。

【0164】以上のようなガンマROM37、ビットシフト演算回路39により実現される演算では低階調側ほど演算の精度が高くなっている。すなわち、A/D変換部3から出力される映像信号のレベルが8ビットで128未満であるときには10ビットの精度で逆ガンマ補正の演算を行い、A/D変換部3から出力される映像信号のレベルが8ビットで128以上であるときには8ビットの精度で逆ガンマ補正の演算を行っている。

【0165】したがって明部側では非表示となる映像信号成分は常に0であり、2×2画素の範囲内にある4個の画素に関する映像信号のレベルがいずれも128以上のときには、範囲内の各画素に関する平均値はいずれも0となる。このとき例えば図6のようなディザパターンをディザ信号発生回路16において発生する場合には映像信号にはディザ信号はまったく加算されない。

【0166】一方、人間の視覚は暗部の階調識別能力の方が明部のそれよりも高いので、暗部側においてのみディザ信号を加算するとしても一般には十分である。実施の形態9では実現される逆ガンマ補正の演算は低階調側で精度が高いので、適切なディザ信号の加算によって低階調側での階調の再現性を高くすることができ、人間の視覚特性に合った階調表現を行うことができる。

【0167】実施の形態9では1つの閾値に基づいてビットシフトの演算を変えたが、閾値の個数やビットシフト量の設定は任意である。例えば閾値を $t_1$ 、 $t_2$ 、 $t_3$ の3個設定し、逆ガンマ補正前の映像信号のレベルが $t_1$ 未満であるとき、 $t_1$ 以上 $t_2$ 未満であるとき、 $t_2$ 以上 $t_3$ 未満であるとき、 $t_3$ 以上であるときの4通りに場合をわけて、それぞれの場合に演算結果を3ビット、2ビット、1ビット、0ビットだけ左シフトした値をガンマROM37にあらかじめ書き込んでおくとしてもよい。

【0168】また、実施の形態8では逆ガンマ補正の演算を低階調側で精度の高いものとしたが、低階調側で精度を高くする演算は任意のものであってよい。たとえば逆ガンマ補正の演算ではなく、図1に示した多階調化処理部9において平均値を求める演算について、閾値を設けて演算精度を変えとしてもよい。

【0169】なお実施の形態1から実施の形態9までの説明では、簡単のため白黒表示のプラズマディスプレイ

装置について説明したが、この発明はこれに限ることなくカラー表示においても適用することが可能である。例えば、カラー表示の単位である1つの絵素が赤色、緑色、青色の三原色の画素で構成される場合などは、各色に対して例えば図1に示した多階調化処理部9で行った演算を適用することにより同様の効果が得られる。この場合、例えば「2×2画素の範囲内にある画素」という表現を「2×2絵素の範囲内にある赤色の画素」、「2×2絵素の範囲内にある緑色の画素」、「2×2絵素の範囲内にある青色の画素」と読み替え、「右隣の画素」という表現を「右隣の絵素内にある同色の画素」と読み替える、などとすればよい。絵素の構成が赤色、緑色、青色の三原色の画素と異なる場合にも適切な読み替えを行い、ディスプレイ装置の構成・動作を変更することによってこの発明を容易に適用することができる。

【0170】また、実施の形態1から実施の形態9までの説明では、この発明によるディスプレイ装置及びその多階調化回路として、プラズマディスプレイ装置を例にとり説明したが、これに限るものでない。特に、DMD(デジタルマイクロミラーデバイス)、EL(エレクトロルミネッセンス)ディスプレイ、液晶ディスプレイ装置などのディスプレイ装置にも適用が可能である。

【0171】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0172】この発明に係るディスプレイ装置の多階調化回路においては、 $m+n$  ( $m$ 、 $n$ は1以上の整数)ビットのデジタル映像信号を $m$ ビットのデジタル映像信号に変換する処理を有するディスプレイ装置の多階調化回路において、ディスプレイ画面上を複数の領域に分割し、この領域内における画素の相対的な空間座標を特定する空間座標特定手段と、画素の、所定の周期内における相対的な時間座標を特定する時間座標特定手段と、空間座標特定手段及び時間座標特定手段が特定する画素を含む複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値又は総和を演算する平均値演算手段と、少なくとも空間座標特定手段が画素について特定した空間座標、時間座標特定手段が画素について特定した時間座標、及び平均値演算手段の演算結果に基づいてディザ信号を与えるディザ信号発生手段と、空間座標特定手段が画素について特定した空間座標に存在する画素に関するデジタル映像信号に対して、ディザ信号発生手段によって与えられたディザ信号を加減算する加減算手段とを備えたので、人間の視覚の空間的・時間的な積分効果を利用してディスプレイで本来表示できる最も低い映像信号成分よりもさらに低い映像信号成分までも擬似的に再現することができ、階調が滑らかに変化する画像を正しく再現できるディスプレイ装置の多階調化回路を得ることができる。

【0173】また、この発明に係るディスプレイ装置の多階調化回路においては、領域を1つ以上の部分領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む部分領域内の複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、変換前のデジタル映像信号の部分領域内の平均レベルと、変換後のデジタル映像信号の部分領域内の平均レベルとが、 $m+n$ ビットに換算して略等しくなるようなディザ信号の与え方を有するので、階調が滑らかに変化する画像をより忠実に再現できるディスプレイ装置の多階調化回路を得ることができる。

【0174】また、この発明に係るディスプレイ装置の多階調化回路においては、領域を1つ以上の部分領域に分割し、さらに部分領域を2つ以上の単位領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む単位領域内の複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、平均値演算手段の演算結果が、1つの部分領域を構成する各単位領域どうしにおいて略等しい場合には、変換前のデジタル映像信号の部分領域内の平均レベルと、変換後のデジタル映像信号の部分領域内の平均レベルとが、 $m+n$ ビットに換算して略等しくなるようなディザ信号の与え方を有するので、回路を簡略化しながら、階調が滑らかに変化する画像を正しく再現するディスプレイ装置の多階調化回路を得ることができる。

【0175】また、この発明に係るディスプレイ装置の多階調化回路においては、領域を1つ以上の部分領域に分割し、さらに部分領域を2つ以上の単位領域に分割し、平均値演算手段は、空間座標特定手段及び時間座標特定手段が特定する画素を含む単位領域内の複数の画素に関する $m+n$ ビットのデジタル映像信号について、下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値または総和を求め、ディザ信号発生手段は、平均値演算手段の演算結果が、連続する $f$  ( $f$ は2以上の整数) 個の時間座標にわたって、1つの部分領域を構成する各単位領域どうしにおいて略等しい場合には、変換前のデジタル映像信号の、部分領域内の連続する $f$  個の時間座標にわたる平均レベルと、変換後のデジタル映像信号の、部分領域内の連続する $f$  個の時間座標にわたる平均レベルとが、 $m+n$ ビットに換算して略等しくなるようなディザ信号の与え方を有するので、人間の視覚の空間的、時間的な積分効果が働きやすいようなディザ信号を与えることができ、階調が滑らかに変化する画像を正しく再現できるディスプレイ装置の多階調化回路を得ることができる。

【0176】また、この発明に係るディスプレイ装置の

多階調化回路においては、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、平均値演算手段の演算結果、及び外部より入力されたディザパターン選択信号に基づいてディザ信号を与えるディザ信号発生手段を備え、ディザ信号発生手段は、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、及び平均値演算手段の演算結果が同じであるときでも異なる複数のディザ信号の与え方を有する場合には、ディザパターン選択信号により、異なる複数のディザ信号の与え方の中から1つの与え方を選択するので、ディスプレイ装置に表示する映像に応じて最適なディザ信号の与え方を選択することができ、階調が滑らかに変化する画像を正しく再現することができるディスプレイ装置の多階調化回路を得ることができる。

【0177】また、この発明に係るディスプレイ装置の多階調化回路においては、デジタル映像信号を1つ以上の閾値と比較する比較手段と、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、平均値演算手段の演算結果、及び比較手段の比較結果に基づいてディザ信号を与えるディザ信号発生手段を備え、ディザ信号発生手段は、空間座標特定手段が特定した空間座標、時間座標特定手段が特定した時間座標、及び平均値演算手段の演算結果が同じであるときでも異なる複数のディザ信号の与え方を有する場合には、比較手段の比較結果により、異なる複数のディザ信号の与え方の中から1つの与え方を選択するので、ディザパターンを加減算することによって発生する固定パターンやフリッカなどの弊害を少なくしながら、階調が滑らかに変化する画像を正しく再現することができるディスプレイ装置の多階調化回路を得ることができる。

【0178】また、この発明に係るディスプレイ装置の多階調化回路においては、平均値演算手段は、空間座標特定手段が特定した空間座標に存在する画素と、この画素に関するデジタル映像信号に対して信号レベルの差異がある閾値以下であるデジタル映像信号をもつ画素とに関して、 $m+n$ ビットのデジタル映像信号の下位 $n$ ビットのうちの少なくとも上位1ビット以上を用いて所定の平均値又は総和を演算するので、階調が滑らかに変化する部分のみを抽出して適切なディザ信号を加算することができ、階調が滑らかに変化する画像をより正しく再現することができるディスプレイ装置の多階調化回路を得ることができる。

【0179】また、この発明に係るディスプレイ装置の多階調化回路においては、デジタル映像信号を1つ以上の閾値と比較する比較手段と、デジタル映像信号の下位ビットの値を固定し、値を固定するビット長を比較手段の比較結果に応じて変化させるビットマスク手段を備えたので、特に低階調側で演算の精度を高くすることができ、階調が滑らかに変化する比較的暗い画像を正しく再現することができるディスプレイ装置の多階調化回

路を得ることができる。

【0180】さらにまた、この発明に係るディスプレイ装置においては、映像信号を $m+n$ ビットのデジタル映像信号に変換するA/D変換部と、 $m+n$ ビットのデジタル映像信号に対してディザ信号を加減算する前述のようなディスプレイ装置の多階調化回路と、ディザ信号が加算された $m+n$ ビットのデジタル映像信号の上位 $m$ ビットを表示する画素とを備えたので、人間の視覚の空間的・時間的な積分効果を利用してディスプレイで本来表示できる最も低い映像信号成分よりもさらに低い映像信号成分までも擬似的に再現することができ、階調が滑らかに変化する画像を正しく再現できるディスプレイ装置を得ることができる。

#### 【図面の簡単な説明】

【図1】 この発明に係る実施の形態1におけるディスプレイ装置の全体構成の一例を示す図である。

【図2】 この発明に係る実施の形態1における多階調化処理部の一例を示す図である。

【図3】 この発明に係る実施の形態1におけるディスプレイ画面上の各画素の空間座標及び時間座標の対応関係の一例を示す図である。

【図4】 この発明に係る実施の形態1における重み付け平均値を求める際の重み付けの一例を示す図である。

【図5】 この発明に係る実施の形態1における画素と映像信号の対応関係の一例を示す図である。

【図6】 この発明に係る実施の形態1、2、及び4におけるディザパターンの一例を示す図である。

【図7】 この発明に係る実施の形態1におけるディザパターンの加算による階調再現効果を説明するための図である。

【図8】 この発明に係る実施の形態1におけるディザパターン加算後の画像の一例を示す図である。

【図9】 この発明に係る実施の形態1におけるディザパターンによる視覚の時間的な積分効果の一例を示す図である。

【図10】 この発明に係る実施の形態2におけるディザ信号発生回路の一例を示す図である。

【図11】 この発明に係る実施の形態2における平均値の求め方の一例を説明する図である。

【図12】 この発明に係る実施の形態3における別の多階調化処理部の構成の一例を示す図である。

【図13】 この発明に係る実施の形態3におけるパターン発生器で発生する信号パターンの一例を示す図である。

【図14】 この発明に係る実施の形態4における別の多階調化処理部の構成の一例を示す図である。

【図15】 この発明に係る実施の形態5におけるディザパターンの一例を示す図である。

【図16】 この発明に係る実施の形態5における別のディザパターンの一例を示す図である。

【図17】 この発明に係る実施の形態6における別の多階調化処理部の構成の一例を示す図である。

【図18】 この発明に係る実施の形態6におけるディザパターンの一例を示す図である。

【図19】 この発明に係る実施の形態6におけるディザパターンの加算による階調再現効果の一例を説明する図である。

【図20】 この発明に係る実施の形態6におけるディザパターンAを加算した画像の一例を示す図である。

【図21】 この発明に係る実施の形態6におけるディザパターンBを加算した画像の一例を示す図である。

【図22】 この発明に係る実施の形態7におけるディスプレイ装置の多階調化処理部の構成の一例を示す図である。

【図23】 この発明に係る実施の形態8におけるディスプレイ装置の多階調化処理部の構成の一例を示す図である。

【図24】 この発明に係る実施の形態8における信号成分抽出回路の一例を示す図である。

【図25】 この発明に係る実施の形態9における逆ガンマ補正部の構成の一例を示す図である。

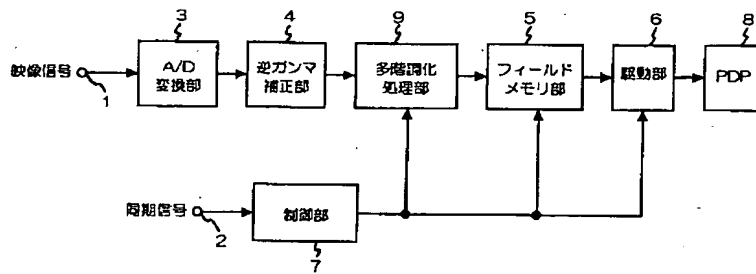
【図26】 従来のディスプレイ装置の発光シーケンスを示す図である。

【図27】 従来のディスプレイ装置の構成を示す図である。

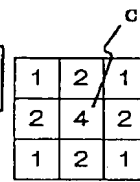
#### 【符号の説明】

1 映像信号入力端子、 2 同期信号入力端子、 3 A/D変換部、 4 逆ガンマ補正部、 5 フィールドメモリ部、 6 駆動部、 7 制御部、 8 PD P、 9 多階調化処理部、 10 ラインメモリA、 11、 28 ラインメモリB、 12 水平アドレス発生回路、 13 垂直アドレス発生回路、 14 フィールドアドレス発生回路、 15、 19、 31 平均値演算回路、 16、 25、 27 ディザ信号発生回路、 17 加算回路、 18、 24、 29 セレクタ、 20 パターン発生器、 21 加算器、 22 レジスタA、 23 レジスタB、 26 付加ビット数選択回路、 30 信号成分抽出回路、 32 減算器、 33、 38 閾値発生回路、 34 比較器、 35 AND回路、 36 画素数取得回路、 37 ガンマROM、 39 ビットシフト演算回路、 44 ディザパターン選択信号。

【図 1】



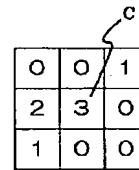
【図 4】



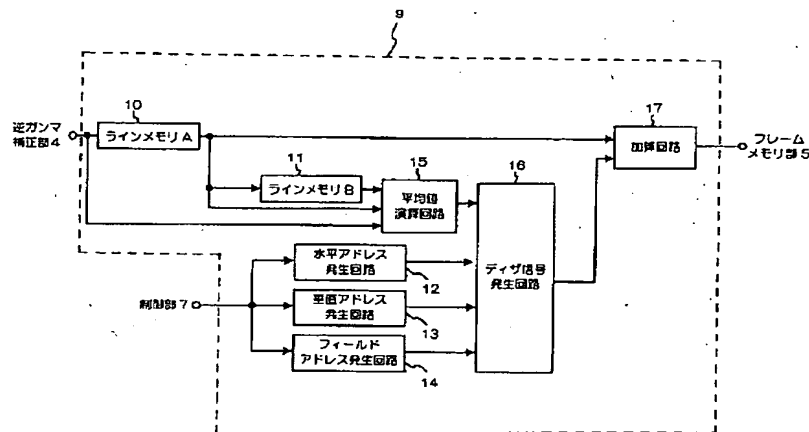
【図 13】

フィールドアドレス f	0	1
水平アドレス h	0	1
垂直アドレス v	0	3
1	0	2

【図 5】



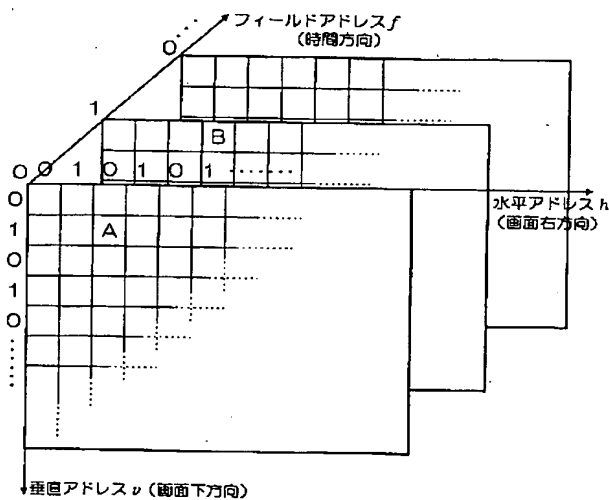
【図 2】



【図 9】

0	0	2	0	2	2	4	2
0	0	0	2	2	2	2	4
0	0	2	0	2	2	4	2
0	0	0	2	2	2	2	4
0	0	2	0	2	2	4	2
0	0	0	2	2	2	2	4

【図 3】



【図 6】

平均値演算回路 演算結果 a	フィールドアドレス f	0	1
	水平アドレス h	0	1
0	垂直アドレス v	0	0
	1	0	0
1	0	1	0
	1	0	0
2	0	1	0
	1	0	1
3	0	1	1
	1	0	1

【図 7】

1行1列目

1行2列目

0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3
0	0	0	1	1	2	2	3	3	3

図面

(a)

1行2列目

0.0	0.0	0.5	1.0	1.5	2.0	2.5	3.0
0.0	0.0	0.5	1.0	1.5	2.0	2.5	3.0
0.0	0.0	0.5	1.0	1.5	2.0	2.5	3.0
0.0	0.0	0.5	1.0	1.5	2.0	2.5	3.0
0.0	0.0	0.5	1.0	1.5	2.0	2.5	3.0
0.0	0.0	0.5	1.0	1.5	2.0	2.5	3.0

(b)

0	0	1	1	2	2	3	3
0	0	1	1	2	2	3	3
0	0	1	1	2	2	3	3
0	0	1	1	2	2	3	3
0	0	1	1	2	2	3	3
0	0	1	1	2	2	3	3

(c)

【図 8】

フィールドアドレス 0

0	0	4	0	4	0	4	4
0	0	0	0	0	4	0	4
0	0	4	0	4	0	4	4
0	0	0	0	0	4	0	4
0	0	4	0	4	0	4	4
0	0	0	0	0	4	0	4
0	0	4	0	4	0	4	4
0	0	0	0	0	4	0	4

(a)

フィールドアドレス 1

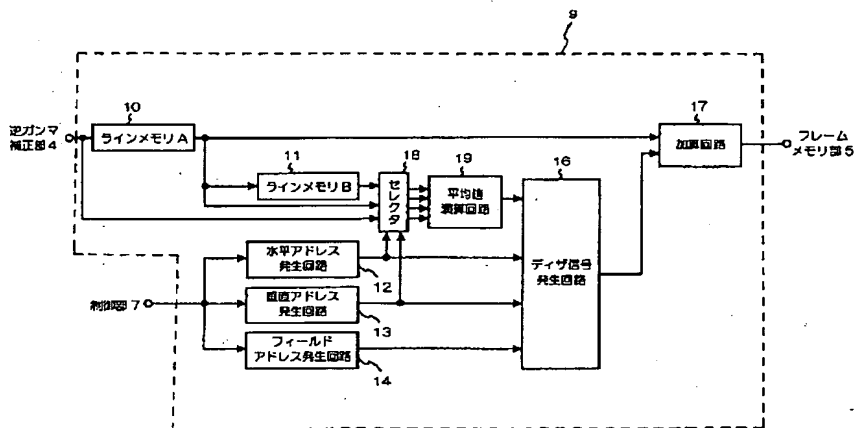
0	0	0	0	0	4	4	0
0	0	0	4	4	0	4	4
0	0	0	0	0	4	4	0
0	0	0	4	4	0	4	4
0	0	0	0	0	4	4	0
0	0	0	4	4	0	4	4
0	0	0	0	0	4	4	0
0	0	0	4	4	0	4	4

(b)

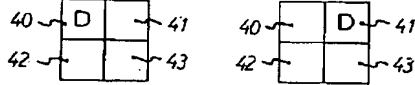
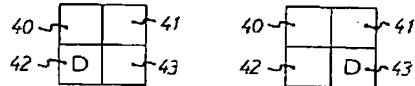
【図 19】

1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0

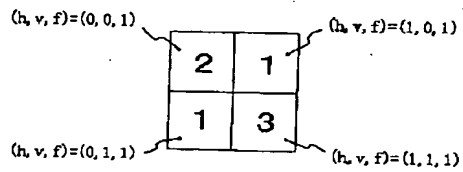
【図 10】



【図11】

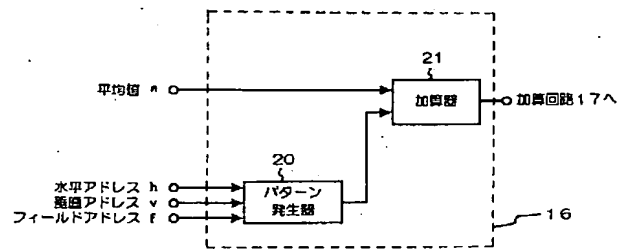
①  $(h, v) = (0, 0)$  の場合    ②  $(h, v) = (1, 0)$  の場合③  $(h, v) = (0, 1)$  の場合    ④  $(h, v) = (1, 1)$  の場合

(a)

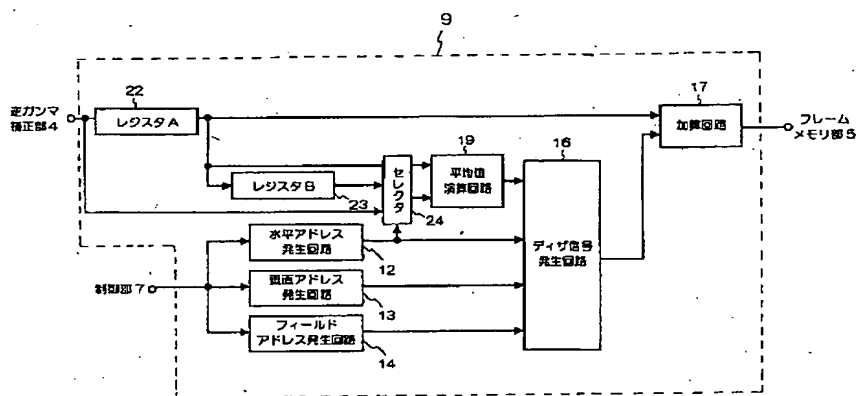


(b)

【図12】



【図14】





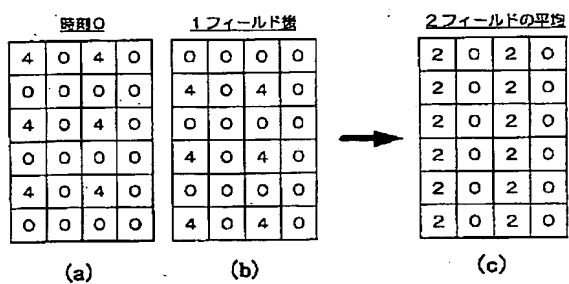
【図 15】

平均値演算回路 演算結果 $\alpha$	フィールドアドレス $f$	0				1				2				3			
	水平アドレス $h$ 垂直アドレス $v$	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	2	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0
	3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

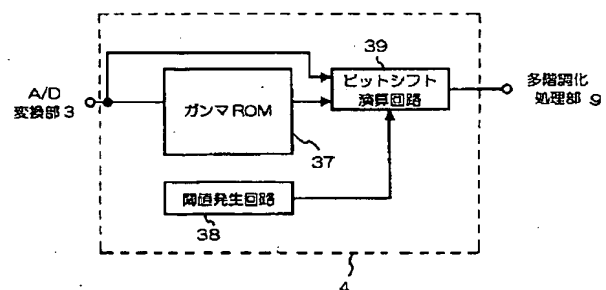
【図 16】

平均値演算回路 演算結果 $\alpha$	フィールドアドレス $f$	0				1				2				3			
	水平アドレス $h$ 垂直アドレス $v$	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	2	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
	3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

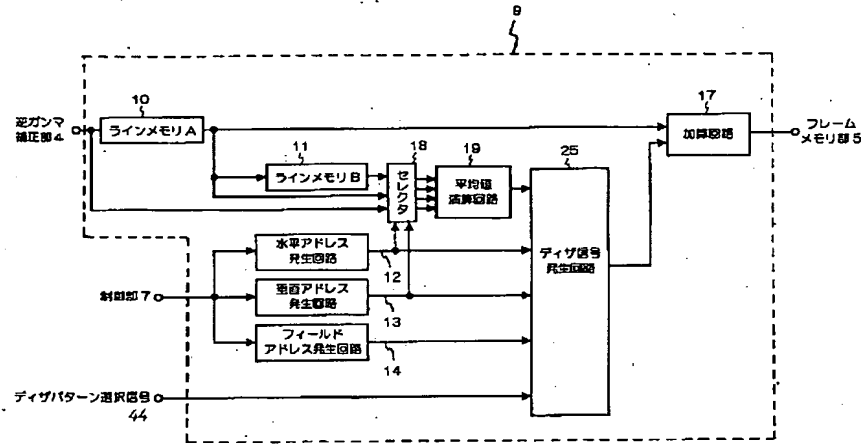
【図 20】



【図 25】



【図 17】



【図 18】

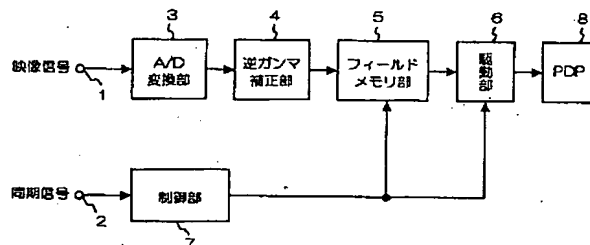
ディザパターン A

平均値演算回路 演算結果 a	フィールドアドレス f	0	1
	水平アドレス h 垂直アドレス v	0	1
1	0	1	0
	1	0	1

ディザパターン B

平均値演算回路 演算結果 a	フィールドアドレス f	0	1	2	3
	水平アドレス h 垂直アドレス v	0	1	0	1
1	0	1	0	0	1
	1	0	1	0	0

【図 27】



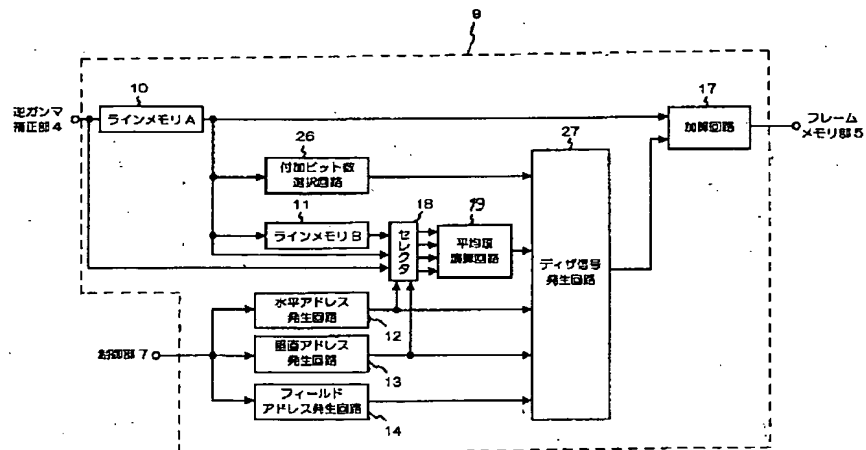
【図 21】

時刻0	1フィールド後	2フィールド後	3フィールド後
4 0 4 0	0 0 0 0	0 4 0 4	0 0 0 0
0 0 0 0	0 4 0 4	0 0 0 0	4 0 4 0
4 0 4 0	0 0 0 0	0 4 0 4	0 0 0 0
0 0 0 0	0 4 0 4	0 0 0 0	4 0 4 0
4 0 4 0	0 0 0 0	0 4 0 4	0 0 0 0
0 0 0 0	0 4 0 4	0 0 0 0	4 0 4 0

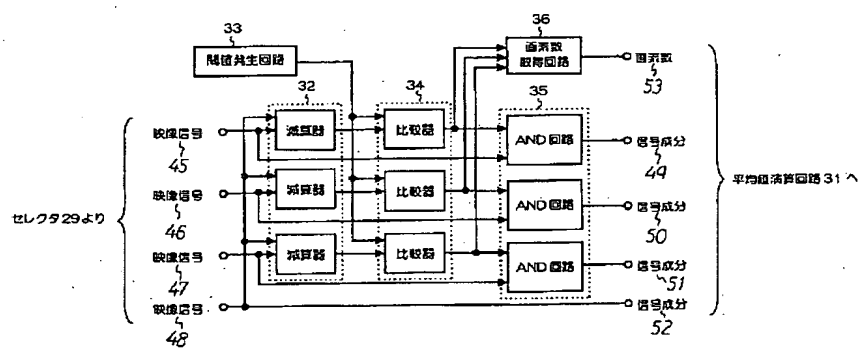
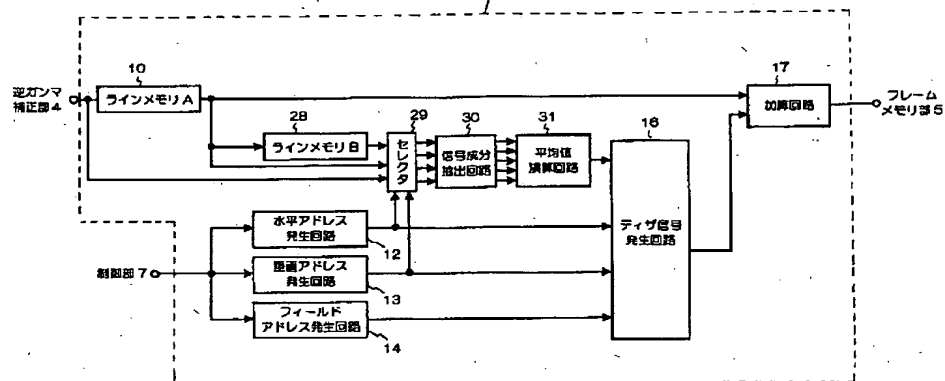
↓

4フィールドの平均
1 1 1 1
1 1 1 1
1 1 1 1
1 1 1 1
1 1 1 1
1 1 1 1

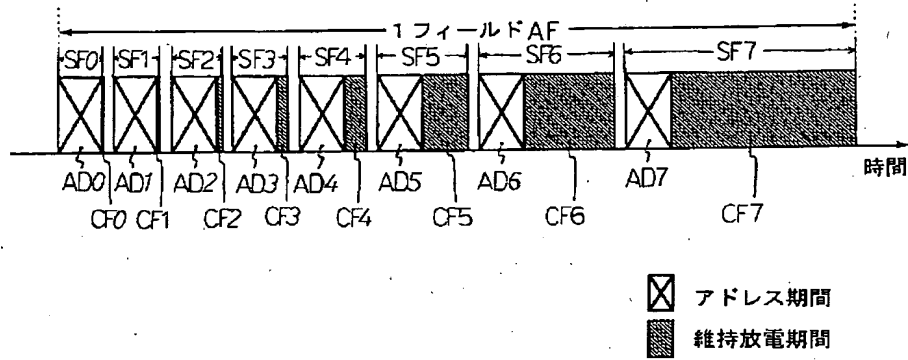
【図 22】



9



【図26】



フロントページの続き

Fターム(参考) 5B057 CA08 CA16 CB07 CB08 CB16  
CE13  
5C058 AA11 BA07 BA13 BB01 BB04  
BB12 BB13  
5C080 AA05 AA18 BB05 DD01 DD30  
EE29 FF12 GG09 GG12 JJ02  
JJ04